

843.41042X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): HAYANO, et al.

Serial No.: 10/025,457

Filed: December 26, 2001

For: METHOD OF MANUFACTURING PHOTOMASK AND
METHOD OF MANUFACTURING SEMICONDUCTOR
INTEGRATED CIRCUIT DEVICE

CLAIM FOR PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

March 26, 2002

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, applicants hereby
claim the right of priority based on:

Japanese Application No. 2000-395447 filed on
December 26, 2000

A certified copy of said Japanese application document is attached
hereto.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

William I. Solomon
Registration No. 28,565

Tel.: 703-312-6600
WIS/slk
Enclosure

RECEIVED
APR 26 2002
TC 1/00

日 本 国 特 許 庁

JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月26日

出 願 番 号

Application Number:

特願2000-395447

出 願 人

Applicant(s):

株式会社日立製作所

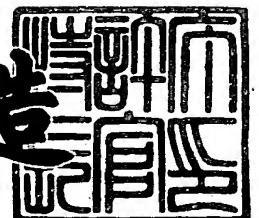
RECEIVED
APR 26 2002
TC 1700



2001年11月16日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3101155

【書類名】 特許願

【整理番号】 H00021631

【提出日】 平成12年12月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/30

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 早野 勝也

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 長谷川 昇雄

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 フォトマスクの製造方法および半導体集積回路装置の製造方法

【特許請求の範囲】

【請求項 1】 以下の工程を有することを特徴とするフォトマスクの製造方法：

(a) 1 枚または複数枚のレジストマスクを含む複数枚の第 1 のフォトマスクのセットを用意する工程、

(b) 前記複数枚の第 1 のフォトマスクの各々のパターンを第 2 のフォトマスクに縮小投影露光する工程。

【請求項 2】 請求項 1 記載のフォトマスクの製造方法において、前記第 2 のフォトマスクの集積回路パターン領域には、露光光に対して遮光性を有するメタルパターンが配置されていることを特徴とするフォトマスクの製造方法。

【請求項 3】 請求項 1 記載のフォトマスクの製造方法において、前記第 2 のフォトマスクの集積回路パターン領域には、露光光に対して遮光性または減光性を有する有機膜パターンが配置されていることを特徴とするフォトマスクの製造方法。

【請求項 4】 請求項 1 記載のフォトマスクの製造方法において、前記第 2 のフォトマスクの集積回路パターン領域には、露光光に対して遮光性を有するメタルパターンと、露光光に対して遮光性または減光性を有する有機膜パターンとの両方が配置されていることを特徴とするフォトマスクの製造方法。

【請求項 5】 請求項 4 記載のフォトマスクの製造方法において、前記第 2 のフォトマスクの前記有機膜パターンを除去する工程を有することを特徴とするフォトマスクの製造方法。

【請求項 6】 以下の工程を有することを特徴とするフォトマスクの製造方法：

(a) 少なくとも 1 枚がレジストマスクからなる複数枚の I P マスクのセットを用意する工程、

(b) 前記複数枚の I P マスクの各々のパターンを製品マスクに縮小投影露光する工程。

【請求項 7】 請求項 6 記載のフォトマスクの製造方法において、前記製品マスクの集積回路パターン領域には、露光光に対して遮光性を有するメタルパターンが配置されていることを特徴とするフォトマスクの製造方法。

【請求項 8】 請求項 6 記載のフォトマスクの製造方法において、前記製品マスクの集積回路パターン領域には、露光光に対して遮光性または減光性を有する有機膜パターンが配置されていることを特徴とするフォトマスクの製造方法。

【請求項 9】 請求項 6 記載のフォトマスクの製造方法において、前記製品マスクの集積回路パターン領域には、露光光に対して遮光性を有するメタルパターンと、露光光に対して遮光性または減光性を有する有機膜パターンとの両方が配置されていることを特徴とするフォトマスクの製造方法。

【請求項 10】 請求項 9 記載のフォトマスクの製造方法において、前記製品マスクの前記有機膜パターンを除去する工程を有することを特徴とするフォトマスクの製造方法。

【請求項 11】 以下の工程を有することを特徴とするフォトマスクの製造方法：

(a) メモリマットまたはメモリマットの集合体を転写するためのフォトマスクであって、レジストマスクからなる I P マスクを用意する工程、

(b) 前記 I P マスクのパターンを製品マスクに縮小投影露光する工程。

【請求項 12】 請求項 11 記載のフォトマスクの製造方法において、前記製品マスクの集積回路パターン領域には、露光光に対して遮光性を有するメタルパターンが配置されていることを特徴とするフォトマスクの製造方法。

【請求項 13】 請求項 11 記載のフォトマスクの製造方法において、前記製品マスクの集積回路パターン領域には、露光光に対して遮光性または減光性を有する有機膜パターンが配置されていることを特徴とするフォトマスクの製造方法。

【請求項 14】 以下の工程を有することを特徴とするフォトマスクの製造方法：

(a) メモリマットまたはメモリマットの集合体を転写するためのフォトマスクであって、レジストマスクからなる第 1 の I P マスクを用意する工程、

(b) 前記メモリマットの周辺回路領域を転写するためのフォトマスクであって、レジストマスクからなる第 2 の IP マスクを用意する工程、

(c) 前記第 1、第 2 の IP マスクのパターンを製品マスクに縮小投影露光する工程。

【請求項 1 5】 請求項 1 4 記載のフォトマスクの製造方法において、前記製品マスクの集積回路パターン領域には、露光光に対して遮光性を有するメタルパターンが配置されていることを特徴とするフォトマスクの製造方法。

【請求項 1 6】 請求項 1 4 記載のフォトマスクの製造方法において、前記製品マスクの集積回路パターン領域には、露光光に対して遮光性または減光性を有する有機膜パターンが配置されていることを特徴とするフォトマスクの製造方法。

【請求項 1 7】 以下の工程を有することを特徴とする半導体集積回路装置の製造方法：

(a) 1 枚または複数枚のレジストマスクを含む複数枚の第 1 のフォトマスクのセットを用意する工程、

(b) 前記複数枚の第 1 のフォトマスクの各々のパターンを第 2 のフォトマスクに縮小投影露光する工程、

(c) 前記第 2 のフォトマスクのパターンを半導体ウエハに縮小投影露光する工程。

【請求項 1 8】 請求項 1 7 記載の半導体集積回路装置の製造方法において、前記第 2 のフォトマスクの集積回路パターン領域には、露光光に対して遮光性を有するメタルパターンが配置されていることを特徴とする半導体集積回路装置の製造方法。

【請求項 1 9】 請求項 1 7 記載の半導体集積回路装置の製造方法において、前記第 2 のフォトマスクの集積回路パターン領域には、露光光に対して遮光性または減光性を有する有機膜パターンが配置されていることを特徴とする半導体集積回路装置の製造方法。

【請求項 2 0】 請求項 1 7 記載の半導体集積回路装置の製造方法において、前記第 2 のフォトマスクの集積回路パターン領域には、露光光に対して遮光性

を有するメタルパターンと、露光光に対して遮光性または減光性を有する有機膜パターンとの両方が配置されていることを特徴とする半導体集積回路装置の製造方法。

【請求項 2 1】 請求項 2 0 記載の半導体集積回路装置の製造方法において、前記第 2 のフォトマスクの前記有機膜パターンを除去する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 2 2】 以下の工程を有することを特徴とする半導体集積回路装置の製造方法：

(a) 少なくとも 1 枚がレジストマスクからなる複数枚の I P マスクのセットを用意する工程、

(b) 前記複数枚の I P マスクの各々のパターンを製品マスクに縮小投影露光する工程、

(c) 前記製品マスクのパターンを半導体ウエハに縮小投影露光する工程。

【請求項 2 3】 請求項 2 2 記載の半導体集積回路装置の製造方法において、前記製品マスクの集積回路パターン領域には、露光光に対して遮光性を有するメタルパターンが配置されていることを特徴とする半導体集積回路装置の製造方法。

【請求項 2 4】 請求項 2 2 記載の半導体集積回路装置の製造方法において、前記製品マスクの集積回路パターン領域の遮光パターンには、露光光に対して遮光性または減光性を有する有機膜パターンが配置されていることを特徴とする半導体集積回路装置の製造方法。

【請求項 2 5】 請求項 2 2 記載の半導体集積回路装置の製造方法において、前記製品マスクの集積回路パターン領域には、露光光に対して遮光性を有するメタルパターンと、露光光に対して遮光性または減光性を有する有機膜パターンとの両方が配置されていることを特徴とする半導体集積回路装置の製造方法。

【請求項 2 6】 請求項 2 5 記載の半導体集積回路装置の製造方法において、前記製品マスクの前記有機膜パターンを除去する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 2 7】 以下の工程を有することを特徴とする半導体集積回路装置

の製造方法：

- (a) メモリマットまたはメモリマットの集合体を転写するためのフォトマスクであって、レジストマスクからなる I P マスクを用意する工程、
- (b) 前記 I P マスクのパターンを製品マスクに縮小投影露光する工程、
- (c) 前記製品マスクのパターンを半導体ウエハに縮小投影露光する工程。

【請求項 2 8】 請求項 2 7 記載の半導体集積回路装置の製造方法において、前記製品マスクの集積回路パターン領域には、露光光に対して遮光性を有するメタルパターンが配置されていることを特徴とする半導体集積回路装置の製造方法。

【請求項 2 9】 請求項 2 7 記載の半導体集積回路装置の製造方法において、前記製品マスクの集積回路パターン領域には、露光光に対して遮光性または減光性を有する有機膜パターンが配置されていることを特徴とする半導体集積回路装置の製造方法。

【請求項 3 0】 以下の工程を有することを特徴とする半導体集積回路装置の製造方法：

- (a) メモリマットまたはメモリマットの集合体を転写するためのフォトマスクであって、レジストマスクからなる第 1 の I P マスクを用意する工程、
- (b) 前記メモリマットの周辺回路領域を転写するためのフォトマスクであって、レジストマスクからなる第 2 の I P マスクを用意する工程、
- (c) 前記第 1、第 2 の I P マスクのパターンを製品マスクに縮小投影露光する工程、
- (d) 前記製品マスクのパターンを半導体ウエハに縮小投影露光する工程。

【請求項 3 1】 請求項 3 0 記載の半導体集積回路装置の製造方法において、前記製品マスクの集積回路パターン領域には、露光光に対して遮光性を有するメタルパターンが配置されていることを特徴とする半導体集積回路装置の製造方法。

【請求項 3 2】 請求項 3 0 記載の半導体集積回路装置の製造方法において、前記製品マスクの集積回路パターン領域には、露光光に対して遮光性または減光性を有する有機膜パターンが配置されていることを特徴とする半導体集積回路

装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フォトマスクの製造方法および半導体集積回路装置の製造技術に関し、特に、半導体集積回路装置の製造工程において、フォトマスク（以下、単にマスクという）を用いた露光処理により、半導体ウエハ（以下、単にウエハと言う）に所定のパターンを転写するフォトリソグラフィ（以下、単にリソグラフィという）技術に適用して有効な技術に関するものである。

【0002】

【従来の技術】

素子や配線等のようなパターンの微細、高集積の要求に伴い、マスク・コストの増大が問題となっている。これは、マスク製造の分野は、マーケット規模が小さいため採算に乗らないという状況下にあって、マスクパターンにおいても微細で高い精度が要求されることから、例えば高価なパターン描画装置や検査装置等が必要となりそのための設備費やランニングコストが膨大になること、位相シフト技術や光近接効果補正（Optical Proximity Correction）技術等のような新たな技術を導入する必要性が生じること、要求されるパターンが微細になることからマスクの歩留りが下がること等、様々な要因によるものである。半導体集積回路装置においては、その性能の向上に伴い、1つの半導体集積回路装置を製造するのに必要なマスクの総数が増える傾向にあることから、マスクのコストを如何にして低減するかが重要な課題となっている。

【0003】

このような課題の解決を目的とした技術については、例えば日経BP社、2000年4月1日発行、「日経マイクロデバイス2000年4月号」P145、P146、日経BP社、2000年5月1日発行、「日経マイクロデバイス2000年5月号」P142～P152、特開2000-17196号公報およびPROCEEDINGS OF SPIE SPIE-The International Society for Optical Engineering「Optical Microlithography XIII 1-3 March 2000 Santa Clara,

USA」 P 6 4 7 ~ P 6 5.7 に記載がある。ここには、描画精度の高い寸法でマスクとなるマスク（マスク・マスク）を作成し、このマスク・マスクのパターンを縮小投影露光装置を用いてドータ・マスクに転写し、さらに、そのドータ・マスクを用いてウエハ上にパターンを転写する技術が開示されている。具体的には、以下のような手順でマスク（マスク・マスクおよびドータ・マスク）を作成する。

【0004】

まず、マスク・マスク用のマスク基板を用意する。このマスク基板には、例えばクロム等のような金属膜およびレジスト膜が下層から順に堆積されている。続いて、そのマスク・マスク上のレジスト膜に設計ルールの20倍のパターンを描画した後、現像処理により形成されたレジストパターンをエッチングマスクとして、下層の金属膜をエッチング法によってパターニングすることによりマスク・マスクを製造する。その後、マスク・マスク用のマスク基板と同様のドータ・マスク用のマスク基板を用意する。続いて、上記マスク・マスクのマスクパターンをi線ステッパ等のような縮小投影露光装置を用いてドータ・マスク用のマスク基板のレジスト膜に描画した後、マスク・マスクと同様にして金属膜をエッチングしてドータ・マスクを製造する。この技術では、高価な電子線描画装置が不要となるのでマスクのコスト低減を推進できる。

【0005】

【発明が解決しようとする課題】

ところが、上記マスク（マスク・マスクおよびドータ・マスク）の製造技術においては、以下の課題があることを本発明者は見出した。

【0006】

第1は、マスクを効率的に短期間で製造することについて十分な考慮がなされていないという問題である。すなわち、上記技術においてマスク・マスクは一回または数回程度しか使用されないにもかかわらず、マスク・マスクのマスクパターンを、微細なパターンを有する通常のマスクと同様に、上記金属膜をエッチングすることで形成しているため、マスク・マスクの製造に時間がかかり、その結果、半導体集積回路装置の製造時間の短縮を阻害するという問題がある。このよ

うな問題は、システム L S I 等のようなカスタム製品を製造する場合に特に問題となる。カスタム製品においては、高い機能が要求される程、製品開発に要する工数や期間がかかることになるが、その反面、現存する製品の陳腐化も速く、製品寿命が短いため、製品の開発、製造期間の短縮が望まれている。したがって、カスタム製品の製造においては、その製造に用いるマスクを如何にして効率的に短時間で製造するかが重要な課題となっている。

【 0 0 0 7 】

第 2 は、マスクのコストをさらに下げることについて十分な解決手段されていないという問題である。すなわち、上記技術では、マスタマスクを一回または数回程度の露光にしか使用しないので、マスタ・マスクの製造コストが高くなり、半導体集積回路装置のコスト低減を阻害するという問題がある。この場合も上記カスタム製品において特に問題となる。カスタム製品は、D R A M 等のような汎用品と比較して、1 品種当たりの生産量が少ないためである。

【 0 0 0 8 】

本発明の目的は、マスクの製造時間を短縮することのできる技術を提供することにある。

【 0 0 0 9 】

また、本発明の他の目的は、半導体集積回路装置の製造時間を短縮することのできる技術を提供することにある。

【 0 0 1 0 】

また、本発明の他の目的は、マスクのコストを低減することのできる技術を提供することにある。

【 0 0 1 1 】

さらに、本発明の他の目的は、半導体集積回路装置のコストを低減することのできる技術を提供することにある。

【 0 0 1 2 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 1 3 】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0014】

すなわち、本発明は、1枚または複数枚のレジストマスクを含む複数枚の第1のマスクの各々のパターンを縮小投影露光して第2のマスクに転写した後、その第2のマスクのパターンを縮小投影露光して半導体ウエハに転写する工程を有するものである。

【0015】

また、本発明は、少なくとも1枚がレジストマスクからなる複数枚のIPマスクのセットの各々のパターンを縮小投影露光して製品マスクに転写した後、その製品マスクのパターンを縮小投影露光して半導体ウエハに転写する工程を有するものである。

【0016】

また、本発明は、前記製品マスクが、露光光に対して遮光性を有するメタルパターンを持つものである。

【0017】

また、本発明は、前記製品マスクが、レジストマスクとするものである。

【0018】

また、本発明は、前記製品マスクが、露光光に対して遮光性を有するメタルパターンと、露光光に対して遮光性または減光性を有する有機膜パターンとの両方を有するものである。

【0019】

また、本発明は、前記有機膜パターンが、前記製品マスクの一部のパターン転写領域のみに配置されているものである。

【0020】

また、本発明は、前記パターン転写領域がユーザロジック回路部とするものである。

【0021】

また、本発明は、前記製品マスクの前記有機膜パターンを除去した後、再度、有機膜パターンを形成する工程を有するものである。

【 0 0 2 2 】

また、本発明は、メモリマットまたはメモリマットの集合体を転写するためのフォトマスクであって、レジストマスクからなる第1のIPマスクを用意する工程、前記メモリマットの周辺回路領域を転写するためのフォトマスクであって、レジストマスクからなる第2のIPマスクを用意する工程、前記第1、第2のIPマスクのパターンを製品マスクに縮小投影露光する工程、前記製品マスクのパターンを半導体ウエハに縮小投影露光する工程とを有するものである。

【 0 0 2 3 】

【発明の実施の形態】

本願発明を詳細に説明する前に、本願における用語の意味を説明すると次の通りである。

【 0 0 2 4 】

1. IP (Intellectual Property) : 既に設計され、動作が確認されている回路機能ブロックを、設計資産として再利用が可能な回路ブロックまたは機能ブロックのことを言う。具体的には、マクロセル(Macro Cell)がある。

【 0 0 2 5 】

2. マクロセル : 基本セルよりも高機能で、大規模な特定用途の回路ブロックまたは機能ブロックを言う。マスクパターンが確定しているハードマクロと、ライブラリ情報はネットリスト表現までで、設計のたびにマスクパターンを生成するソフトマクロに分類される。マクロセルには、小規模な論理ゲートを表し高さ一定の標準セル(ポリセル)、規則的なレイアウト構造を持ちモジュールジェネレータにより入力パラメータに応じて自動生成されるRAM(Random Access Memory)、ROM(Read Only Memory)、PLA(Programmable Logic Array)、乗算器、加算機またはデータパスなどのようなモジュールセル、CPU(Central Processing Unit)やアナログセル、I/O(Input/Output)セル等がある。マクロセルは、マスクパターン情報以外に、自動配置配線のためのセル枠および端子情報、シミュレーションのための機能モデル、論理モデルおよび遅延パラメータ

等のような情報がセルライブラリとして設計システム（コンピュータ等）に登録されており、シミュレーションのとき等、セルライブラリから簡単に呼び出して使用できる。上記RAMの例としては、DRAM（Dynamic RAM）、SRAM（Static RAM）またはFRAM（Ferroelectric RAM）等がある。また、ROMの例としては、マスクROM（MROM）、フラッシュメモリ（EEPROM；Electric Erasable Programmable ROM）等がある。

【0026】

3. マスク（光学マスク）：マスク基板上に光を遮光するパターンや光の位相を変化させるパターンを形成したものである。実寸の数倍のパターンが形成されたレチクルも含む。マスクの第1主面とは、上記光を遮蔽するパターンや光の位相を変化させるパターンが形成されたパターン面であり、マスクの第2主面とは第1主面の反対側の面（すなわち、裏面）のことを言う。

【0027】

4. 製品マスク：上記マスクの1種であって、ドータマスクまたは中間マスクとも呼ばれ、ウエハ等のような被転写基板にパターンを転写する際に用いるマスクを言う。

【0028】

5. マスタ・マスク：上記マスクの1種であり、上記製品マスクにパターンを転写する際に用いるマスクであって、製品マスクのパターンの数倍のパターンが形成されているマスクを言う。本実施の形態で呼ぶIP（Intellectual Property）マスクもこの一つである。

【0029】

6. 通常のマスク：上記マスクの一種であって、マスク基板上に、メタルからなる遮光パターンと、光透過パターンとでマスクパターンを形成した一般的なマスクのことを言う。

【0030】

7. レジストマスク：上記マスクの一種であって、マスク基板上に、有機膜からなる遮光体（遮光膜、遮光パターン、遮光領域等）を有するマスクを言う。すなわち、本願でレジストマスクというのは、一般に感光性レジストをベースとし

た膜を電子線（イオンビーム）や光（真空紫外、遠紫外、近紫外等の紫外線、可視光）等のエネルギービームやフォトリソグラフィーの手法で感光してパターンニングするものを言う。遮蔽膜としては真空紫外、遠紫外、近紫外等の紫外線、可視光の全部または一部を遮蔽する。感光性は上記樹脂自体の属性であり、ハロゲン化銀等の添加組成物が感光性の主体をなすエマルジョンマスク等は原則として、ここで言うレジストマスクに対応しないものとする。ただし、それらを含めて各種の添加物を含むことを許容することは言うまでもない。

【 0 0 3 1 】

8. マスク（上記通常のマスクおよびレジストマスク）のパターン面を以下の領域に分類する。転写されるべき集積回路パターンが配置される領域を「集積回路パターン領域」といい、その外周の領域を「周辺領域」と言う。この集積回路パターン領域には、複数のチップ領域が配置される。

【 0 0 3 2 】

9. 「遮光体」、「遮光領域」、「遮光膜」、「遮光パターン」と言うときは、その領域に照射される露光光のうち、40%未満を透過させる光学特性を有することを示す。一般に数%から30%未満のものが使われる。一方、「透明」、「透明膜」、「光透過領域」、「光透過パターン」と言うときは、その領域に照射される露光光のうち、60%以上を透過させる光学特性を有することを示す。一般に90%以上のものが使用される。

【 0 0 3 3 】

10. ウエハ：集積回路の製造に用いるシリコン単結晶基板（一般にほぼ平面円形状）、サファイア基板、ガラス基板、その他の絶縁、反絶縁または半導体基板等並びにそれらの複合的基板を言う。また、本願において半導体集積回路装置というときは、シリコンウエハやサファイア基板等の半導体または絶縁体基板上に作られるものだけでなく、特に、そうでない旨明示された場合を除き、TFT（Thin-Film-Transistor）およびSTN（Super-Twisted-Nematic）液晶等のようなガラス等の他の絶縁基板上に作られるもの等も含むものとする。

【 0 0 3 4 】

11. デバイス面：ウエハの主面であって、その面にリソグラフィにより、複

数のチップ領域に対応するデバイスパターンが形成される面を言う。

【0035】

12. 転写パターン：マスクによってウエハ上に転写されたパターンであって、具体的にはフォトレジスト（以下、単にレジストという）パターンおよびフォトレジストパターンをマスクとして実際に形成されたウエハ上のパターンを言う。

【0036】

13. レジストパターン：感光性樹脂膜（レジスト膜）をフォトリソグラフィの手法により、パターンニングした膜パターンを言う。なお、このパターンには当該部分に関して全く開口のない単なるレジスト膜を含む。

【0037】

14. 通常照明：非変形照明のことで、光強度分布が比較的均一な照明を言う。

【0038】

15. 変形照明：中央部の照度を下げた照明であって、斜方照明、輪帯照明、4重極照明、5重極照明等の多重極照明またはそれと等価な瞳フィルタによる超解像技術を含む。

【0039】

16. スキャンニング露光：細いスリット状の露光帯を、ウエハとマスクに対して、スリットの長手方向と直交する方向に（斜めに移動させてもよい）相対的に連続移動（走査）させることによって、マスク上の回路パターンをウエハ上の所望の部分に転写する露光方法。この露光方法を行う装置をスキャナという。

【0040】

17. ステップ・アンド・スキャン露光：上記スキャンニング露光とステッピング露光を組み合わせてウエハ上の露光すべき部分の全体を露光する方法であり、上記スキャンニング露光の下位概念に当たる。

【0041】

18. ステップ・アンド・リピート露光：マスク上の回路パターンの投影像に対してウエハを繰り返しステップすることで、マスク上の回路パターンをウエハ

上の所望の部分に転写する露光方法。この露光方法を行う装置をステッパという。

【 0 0 4 2 】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【 0 0 4 3 】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【 0 0 4 4 】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【 0 0 4 5 】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【 0 0 4 6 】

また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【 0 0 4 7 】

また、本実施の形態で用いる図面においては、平面図であっても図面を見易くするために遮光体（遮光膜、遮光パターン、遮光領域等）およびレジスト膜にハッチングを付す。

【 0 0 4 8 】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0049】

(実施の形態1)

本実施の形態の半導体集積回路装置の製造方法は、IPマスク（第1のフォトマスク）のパターンを縮小投影露光装置を用いて製品マスク（第2のフォトマスク）に転写し、その製品マスクのパターンを縮小投影露光装置を用いてウエハを転写することにより、所望の半導体集積回路装置を製造するものである。

【0050】

まず、本実施の形態で用いるIPマスクについて説明する。本実施の形態では、IPマスクを上記レジストマスクとしている。基本的なレジストマスクは、レジスト膜等のような有機膜がArFエキシマレーザ光（波長193nm）等のような露光光に対してマスク効果（減光性または遮光性）を有することを利用した技術である。図1は、例えばポリフェノール系樹脂またはノボラック系樹脂等のようなマスク描画等で用いられる一般的な電子線レジスト膜の分光透過率を示している。また、ここでは、それらの電子線レジスト膜の膜厚を約100nmとした場合の分光透過率を例示している。これらの電子線レジスト膜は、例えば波長が150nm～230nm程度の光に対して透過率がほぼ0であり、例えば波長193nmのArFエキシマレーザ光や波長157nmのF²レーザ光等に対して十分なマスク効果を有することが分かる。なお、レジスト膜を遮光体とするマスクについては、例えば特開平5-289307号公報に開示されている。

【0051】

次に、本実施の形態で用いるIPマスクの一例を図2～図5により説明する。図2～図5（a）はIPマスクMm1～Mm5の全体平面図、（b）は各（a）のX1-X1線、X2-X2線、X3-X3線およびX4-X4線の断面図、（c）は変形例の断面図を示している。なお、図2～図5（a）は、平面図であるが、図面を分かり易くするために遮光体にハッチングを付す。この場合、有機膜からなる遮光体は太線のハッチング、メタルからなる遮光体は細線のハッチングとした。また、図2～図5では、説明を簡単にするために各IPマスクMm1～Mm4のパターンを英字のEで模式的に示している。実際には、配線や電極等を

形成するためのラインまたは矩形状のパターン、スルーホールやコンタクトホール等を形成するためのホールパターン等あるいは不純物導入時のマスクを形成するためのパターンが形成されている。また、図2～図5では、各IPマスクMm1～Mm4に1個の集積回路パターン領域CAを配置した場合を例示している。ただし、集積回路パターン領域CAの配置は、これに限定されるものではなく複数個の集積回路パターン領域を配置しても良い。また、ここでは、1個の集積回路パターン領域CAが1個の半導体チップ（以下、単にチップという）の形成領域に相当している場合を例示している。

【0052】

このIPマスクMm1～Mm4には、例えば後述する製品マスクのパターンの4倍または5倍のパターンが形成されている。IPマスクMm1～Mm4は、製品マスクのパターン寸法の4倍または5倍であるため、パターン形成および寸法精度が高い。また、寸法ばらつきは製品マスクに転写される際に縮小率分小さくできるので、製品マスク上での寸法精度を極めて高くできる。また、欠陥の低減も可能である。したがって、より高精度なパターン寸法が要求される製品の製造が可能となる。この倍率は、製品マスクを形成する際に用いる縮小投影露光装置の倍率に依存するもので特に上記したものに限定されるものではない。このIPマスクMm1～Mm4を構成するマスク基板1は、例えば平面四角形状に形成された厚さ6mm程度の透明な合成石英ガラス基板等からなる。

【0053】

図2のIPマスクMm1は、マスク基板1の第1主面上の遮光パターン2（2a，2b，2c）が全て有機膜で構成されている場合を例示している。この遮光パターン2は、例えばg線（波長436nm）、i線（波長365nm）、KrFエキシマレーザ光（波長248nm）、ArFエキシマレーザ光（波長193nm）またはF₂レーザ光（波長157nm）等のような露光光を吸収（遮光または減光）する性質を有しており、クロム等のような金属からなる遮光体とほぼ同様のマスク効果を有している。遮光パターン2aは、集積回路パターンを上記製品マスク上に転写するためのパターンであり、マスク基板1の第1主面中央における集積回路パターン領域CAの光透過領域3aに配置されている。遮光パ

ターン 2 b は、集積回路パターン領域 C A の範囲を規定するパターンであり、集積回路パターン領域 C A の外周を縁取るように周辺領域に配置されている。この I P マスク M m 1 では、遮光パターン 2 b が帯状に形成され、その外方の周辺領域が光透過領域 3 b となっている。その光透過領域 3 b に配置された平面十字状で例示される遮光パターン 2 c は、I P マスク M m 1 と縮小投影露光装置との平面的な位置合せを行う際に用いるアライメントマークである。ペリクルの基部の接合面は、遮光パターン 2 b の外周のマスク基板 1 に接触された状態で接合される。これにより、ペリクル剥離の問題やペリクル離脱着時の異物発生の問題を回避できる。

【 0 0 5 4 】

図 2 (b) には、その遮光パターン 2 が電子線レジスト膜の単体膜で構成されている場合が例示されている。この電子線レジスト膜の材料としては、例えば α -メチルスチレンと α -クロロアクリル酸の共重合体、ノボラック樹脂とキノンジアジド、ノボラック樹脂とポリメチルペンテン-1-スルホン、クロロメチル化ポリスチレン等を主成分とするものを用いた。ポリビニルフェノール樹脂等のようなフェノール樹脂やノボラック樹脂にインヒビタおよび酸発生剤を混合した、いわゆる化学増幅型レジスト等を用いることができる。ここで用いる遮光用のレジスト膜の材料としては、投影露光装置の光源に対し遮光特性を持ち、マスク製造プロセスにおけるパターン描画装置の光源、例えば電子線あるいは 230 nm 以上の光に感度を有する特性を持っていれば良く、前記材料に限定されるものではなく種々変更可能である。ポリフェノール系、ノボラック系樹脂を約 100 nm の膜厚に形成した場合は、例えば 150 nm ~ 230 nm 程度の波長で透過率がほぼ 0 であり、例えば Ar F エキシマレーザ光、F²レーザ光等に十分なマスク効果を有する。ここでは、波長 200 nm 以下の真空紫外光を対象にしたが、これに限定されない。上記 g 線、i 線または Kr F エキシマレーザ光等のように波長が 200 nm よりも長い波長の露光光を用いることもできる。その場合は、他の電子線レジスト膜材料を用いるか、露光光に対して吸光性を有する吸収材や遮光性を有する遮光材をレジスト膜に添加することが必要である。これにより、遮光パターン 2 が電子線レジスト膜の単体膜であっても、例えば g 線、i 線ま

たはKrFエキシマレーザー光等のような波長が200nm以上の露光光に対して十分なマスク効果を持たせることができる。なお、有機膜によって遮光パターンを形成する技術については、本願発明者らによる特願平11-185221号（平成11年6月30日出願）に記載がある。

【0055】

また、図2（c）には、上記遮光パターン2が、例えば吸光性有機膜上に上記図2（b）で説明した電子線レジスト膜を堆積した積層膜で構成されている場合が例示されている。吸光性有機膜は、例えばポリイミド樹脂等のような反射防止膜からなり、上記波長が200nm以上の露光光に対して吸光性、減光性または遮光性を有する材料からなる。これにより、上記波長が200nm以上の露光光に対しても十分なマスク効果を持たせることができる。このような積層構造の遮光パターン2を形成するには、まず、電子線レジスト膜に電子線を用いて所定のパターンを描画する。続いて、現像処理を施して電子線レジスト膜のレジストパターンを形成する。その際に、レジストパターンをマスクとして下層の吸光性有機膜を自己整合的にパターンニングする。なお、遮光膜を吸光性有機膜と感光性有機膜との積層膜で構成する技術については、本願発明者らによる特願2000-328159号および特願2000-328160号（両出願ともに平成12年10月27日出願）に記載がある。

【0056】

図3のIPマスクMm2は、マスク基板1の第1主面上の遮光パターン2（2c，2d）が全て有機膜で構成されている場合であって、図2のIPマスクMm1に対して光透過領域および遮光領域の配置が反転している場合を例示している。このIPマスクMm2におけるマスク基板1の第1主面の中央には、遮光パターン2dが配置されている。遮光パターン2dは、集積回路パターン領域CAの大半を覆うパターンであり、その外周が周辺領域にはみ出した形状となっている。遮光パターン2dで規定された光透過パターン3cは、集積回路パターンを上記製品マスク上に転写するためのパターンであり、マスク基板1の第1主面中央における集積回路パターン領域CA内に配置されている。ペリクルの基部の接合面は、遮光パターン2dの外周のマスク基板1に接触された状態で接合される。

図3 (b) は、上記と同様、遮光パターン2 (2c, 2d) が上記電子線レジスト膜の単体膜で構成されている場合を示し、図3 (c) は、遮光パターン2 (2c, 2d) が上記吸光性有機膜と電子線レジスト膜との積層膜で構成されている場合を示している。なお、IPマスクMm1, Mm2を用いてウエハ上に同じパターンを転写するには、IPマスクMm1を用いる場合は、ウエハ上にポジ形のレジスト膜を塗布し、IPマスクMm2を用いる場合は、ウエハ上にネガ形のレジスト膜を塗布すれば良い。

【0057】

図4のIPマスクMm3は、マスク基板1の第1主面上に、有機膜からなる遮光パターン2 (2a) と、メタルからなる遮光パターン4 (4a, 4b) とが配置されている場合を例示している。このIPマスクMm3では、遮光パターン4a, 4b (図2のIPマスクMm1の遮光パターン2b, 2cにそれぞれ相当) が、例えばクロム (Cr) の単体膜またはクロムと酸化クロム (CrO_x) との積層膜等のようなメタル膜で構成されている。ただし、遮光パターン4の材料は、上記クロム等に限定されるものではなく種々変更可能であり、例えばタングステン、モリブデン、タンタルまたはチタン等のような高融点金属、窒化タングステン等のような窒化物、タングステンシリサイド (WSi_x) やモリブデンシリサイド (MoSi_x) 等のような高融点金属シリサイド (化合物)、あるいはこれらの積層膜を用いても良い。レジストマスクの場合は、有機膜からなる遮光パターン2を除去した後、そのマスク基板1を洗浄し再度使用する場合 (再生) があるので、耐酸化性および耐摩耗性に富み、耐剥離性に富むタングステン等のような高融点金属は、遮光パターン4の材料として好ましい。平面十字状で例示される遮光パターン4bは、IPマスクMm3と縮小投影露光装置との平面的な位置合わせを行う際に用いるアライメントマークである。アライメントマークをメタルで構成したことにより、アライメント用の光源として、例えば波長が633nmのヘリウム-ネオン (He-Ne) ガスレーザ光を用いる場合でも、十分な遮光効果を得ることができ、遮光領域と光透過領域との間のコントラストを充分に得ることができるので、位置検出を良好に行うことができ、パターン転写精度を向上させることができる。ペリクルの基部の接合面は、遮光パターン4aの外

周のマスク基板 1 に接触された状態で接合される。図 4 (b) は、上記と同様、遮光パターン 2 (2 a) が上記電子線レジスト膜の単体膜で構成されている場合を示し、図 4 (c) は、遮光パターン 2 (2 a) が上記吸光性有機膜と電子線レジスト膜との積層膜で構成されている場合を示している。この IP マスク Mm 3 では、再生に際して、図 2, 図 3 の IP マスク Mm 1, Mm 2 に比べ周辺領域の遮光パターン 4 a, 4 b を露光しないで済む分、マスクの製造時間を短縮できる。なお、この構成の IP マスク Mm 3 でも、図 3 で説明したように、集積回路パターン領域のパターンを反転させる構造とすることもできる。また、レジストマスクの再生技術については、例えば本願発明者らによる特願 2000-246506 号 (平成 12 年 8 月 15 日出願) に記載がある。

【0058】

図 5 の IP マスク Mm 4 は、マスク基板 1 の第 1 主面における周辺領域の大半がメタルからなる遮光パターン 4 c で覆われている場合を例示している。遮光パターン 4 c は、上記遮光パターン 4 a 等と同じメタルからなる。遮光パターン 4 c の一部には、遮光パターン 4 c で規定される平面十字状で例示される微細な光透過パターン 3 d が形成されている。この光透過パターン 3 d は、IP マスク Mm 4 と縮小投影露光装置との平面的な位置合わせを行う際に用いるアライメントマークである。この場合も、アライメント用の光源として、例えば波長が 633 nm のヘリウム-ネオンガスレーザー光を用いる場合に、十分な遮光効果を得ることができ、遮光領域と光透過領域との間のコントラストを十分に得ることができるので、位置検出を良好に行うことができ、パターン転写精度を向上させることができる。ペリクルの基部の接合面は、遮光パターン 4 c に接触された状態で接合される。図 5 (b) は、上記と同様、遮光パターン 2 (2 a) が上記電子線レジスト膜の単体膜で構成されている場合を示し、図 5 (c) は、遮光パターン 2 (2 a) が上記吸光性有機膜と電子線レジスト膜との積層膜で構成されている場合を示している。なお、この構成の IP マスク Mm 4 でも、図 3 で説明したように、集積回路パターン領域のパターンを反転させる構造とすることもできる。

【0059】

このように IP マスクをレジストマスクで構成したことにより、例えば以下の

効果を得ることができる。

【0060】

第1に、半導体集積回路装置の開発期間や製造時間を短縮できる。IPマスクは、1回または数回程度しか使用しない（特に、カスタム製品）ので、その製造に時間をかけることは時間的に無駄が生じることになる。これに対して、本実施の形態のIPマスクにおいては、遮光パターンを有機膜で構成していることにより、マスクパターンの形成に際して、メタル膜のエッチング工程を無くすことができるので、IPマスクの製造時間を上記通常のマスクに比べて大幅に短縮できる。

【0061】

第2に、製品マスク上（すなわち、ウエハ上）に転写されるパターンの寸法精度を向上させることができるので、半導体集積回路装置の性能および集積度を向上させることができる。これは、本実施の形態のIPマスクにおいては、マスクパターンの形成に際して、メタル膜をエッチングするのではなく、有機膜を露光および現像処理でパターンニングして形成するので、マスクパターンをエッチングで形成した場合の寸法誤差を無くすことができるからである。

【0062】

第3に、信頼性の高いIPマスクを高い歩留りで製造できる。これは、パターンの形成に際してエッチングを行わないので、欠陥の発生率も大幅に低減できるからである。

【0063】

第4に、マスク（IPマスクおよび製品マスクを含む上位概念）の製造コストを低減できるので、半導体集積回路装置のコストを低減できる。これは、上記第3の効果が得られる他、本実施の形態のIPマスクにおいては、遮光パターンを有機膜で構成していることにより、マスクパターンの形成に際してメタル膜をエッチングする工程を無くすことができるので、エッチングを行う場合に必要な材料費、燃料費および設備費を削減でき、また、有機膜からなる遮光パターンを除去することでマスク基板をリサイクルできるからである。IPマスクは、1回または数回しか使用しない（特にカスタム製品）ので、この効果は、半導体集積回

路装置のコストを低減する上で非常に効果的である。

【0064】

なお、レジストマスクの場合、露光光の照射に対して膜質および透過率変動する可能性がある。しかし、IPマスクは1回または数回しか露光処理に使用しないので、その程度の露光処理であればIPマスクとしてレジストマスクを用いても十分な耐性があり、上記の膜質および透過率の変動が小さく問題とならないレベルである。

【0065】

次に、前記製品マスクについて説明する。図6～図8その一例を示している。製品マスクMd1～Md3の平面の全体寸法は、上記IPマスクMm1～Mm4と同程度である。ここでは、倍率を4倍としたので、図6～図8には、例えば $4 \times 4 = 16$ 個の集積回路パターン領域CAが配置されている場合が例示されている。製品マスクMd1～Md3は、IPマスクMm1～Mm4を用いて製造されたものなので、各集積回路パターン領域CAのパターンを、IPマスクMm1～Mm4に合わせて英字のEで模式的に示している。ここでも、1個の集積回路パターン領域CAが1個のチップの形成領域に相当している。図6～図8(a)は、平面図であるが、図面を分かり易くするために遮光体にハッチングを付す。この場合、有機膜からなる遮光体は太線のハッチング、メタルからなる遮光体は細線のハッチングとした。

【0066】

図6(a)は、製品マスクMd1の全体平面図、(b)は(a)のX5-X5線の断面図を示している。この製品マスクMd1は、前記通常のマスキで構成されている。すなわち、マスク基板1の第1主面上の遮光パターン4(4b, 4d, 4e)が、例えばクロムの単体膜またはクロム上に酸化クロムを積み重ねた積層膜で構成されている。遮光パターン4dは、上記IPマスクMm1～Mm4の遮光パターン2aまたは光透過パターン3cが転写されたパターンであって、集積回路パターンをウエハ上に転写するためのパターンであり、各集積回路パターン領域CAの光透過領域3aに配置されている。集積回路パターン領域CAのパターンを図3に示したように反転させても良い。遮光パターン4eは、集積回路

パターン領域CAの範囲を規定するパターンであり、集積回路パターン領域CAの外周を縁取るように配置されている。製品マスクMd1の場合もマスク基板1の周辺領域を図5に示した構造とすることもできる。

【0067】

このような製品マスクMd1では、ペリクルの基部の接合面が、遮光パターン4eの外周のマスク基板1に接触された状態で接合される。製品マスクMd1は、IPマスクよりは使用回数が多いので、製品マスクMd1を通常のマスクとすることは、製品マスクMd1の耐久性（寿命）を向上させる上で効果的である。

【0068】

図7(a)は、製品マスクMd2の全体平面図、(b)は(a)のX6-X6線の断面図を示している。この製品マスクMd2は、前記レジストマスクで構成されている。すなわち、マスク基板1の第1主面上の遮光パターン2(2c, 2e, 2f)が、上記有機膜で構成されている。遮光パターン2eは、上記IPマスクMm1~Mm4の遮光パターン2aまたは光透過パターン3cが転写されたパターンであって、集積回路パターンをウエハ上に転写するためのパターンであり、各集積回路パターン領域CAの光透過領域3aに配置されている。集積回路パターン領域CAのパターンを図3に示したように反転させても良い。遮光パターン2fは、集積回路パターン領域CAの範囲を規定するパターンであり、集積回路パターン領域CAの外周を縁取るように配置されている。この製品マスクMd2では、ペリクルの基部の接合面が、遮光パターン2fの外周のマスク基板1に接触された状態で接合される。図7(b)は、製品マスクMd2の遮光パターン2が前記電子線レジスト膜の単体膜で構成されている場合を示し、同図(c)は製品マスクMd2の遮光パターン2が上記吸光性有機膜と電子線レジスト膜との積層膜で構成されている場合を示している。

【0069】

このような製品マスクMd2では、IPマスクをレジストマスクとした場合に得られた前記第1~第2の効果をさらに向上させるができる。すなわち、半導体集積回路装置の開発期間や製造時間をさらに短縮できる。また、製品マスク上(すなわち、ウエハ上)に転写されるパターンの寸法精度をさらに向上させること

ができるので、半導体集積回路装置の性能および集積度をさらに向上させることができる。また、信頼性の高い製品マスクを高い歩留りで製造できる。マスク（IPマスクおよび製品マスクを含む上位概念）の製造コストをさらに低減できるので、半導体集積回路装置のコストをさらに低減できる。

【 0 0 7 0 】

図 8（a）は、製品マスク Md 3 の全体平面図、（b）は（a）の X 7 - X 7 線の断面図を示している。製品マスク Md 3 は、マスク基板 1 の第 1 主面上に、有機膜からなる遮光パターン 2（2 e）と、メタルからなる遮光パターン 4（4 b, 4 d）とが配置されている場合を例示している。この製品マスク Md 3 では、遮光パターン 4 b, 4 e（図 7 の製品マスク Md 2 の遮光パターン 2 c, 2 f にそれぞれ相当）が、例えばクロムの単体膜またはクロムと酸化クロムとの積層膜等のようなメタル膜で構成されている。ただし、この場合の遮光パターン 4 の材料は、上記図 4 で説明したのと同様に、例えば上記高融点金属、上記窒化物、上記高融点金属シリサイド（化合物）、あるいはこれらの積層膜としても良い。特に、レジストマスクの場合は、有機膜からなる遮光パターン 2 を除去した後、そのマスク基板 1 を洗浄し再度使用する場合（再生）があるので、耐酸化性および耐摩耗性に富み、耐剥離性に富む上記高融点金属は、遮光パターン 4 の材料として好ましい。この構成の製品マスク Md 3 でも、前記図 3 で説明したように、集積回路パターン領域のパターンを反転させる構造とすることもできる。この製品マスク Md 3 では、ペリクルの基部の接合面が、遮光パターン 4 e の外周のマスク基板 1 に接触された状態で接合される。図 8（b）は、上記と同様、遮光パターン 2（2 e）が上記電子線レジスト膜の単体膜で構成されている場合を示し、図 8（c）は、遮光パターン 2（2 e）が上記吸光性有機膜と電子線レジスト膜との積層膜で構成されている場合を示している。

【 0 0 7 1 】

この製品マスク Md 3 では、上記図 7 の製品マスク Md 2 を用いた場合に得られる効果の他に、再生に際して、図 7 の製品マスク Md 2 に比べ周辺領域の遮光パターン 4 b, 4 e を露光しないで済む分、マスクの製造時間を短縮できる、という効果を得ることができる。

【0072】

図9は、このような製品マスクMd1～Md3を用いた縮小投影露光処理によってウエハ5上に転写されたパターンを例示している。図9(a)はウエハ5の全体平面図、(b)は(a)中のチップ形成領域WCAの拡大平面図、(c)は(b)のX8-X8線の断面図を示している。なお、図9(a)、(b)は平面図であるが、図面を見易くするためハッチングを付す。

【0073】

ウエハ5の半導体基板5Sは、例えばシリコン(Si)単結晶等のような半導体からなり、そのデバイス面(主面)には、所定の集積回路素子が形成されている。ウエハ5のデバイス面には、複数のチップ形成領域WCAが配置されている。各チップ形成領域WCAには、上記製品マスクMd1～Md3を用いた露光処理によって転写されたレジストパターンRPが転写されている。ここでは、半導体基板5Sのデバイス面上に、例えば酸化シリコン等からなる絶縁膜6が堆積され、さらに、その上に、例えばアルミニウムまたはアルミニウム合金等のようなメタル膜7が堆積されている場合が例示されている。上記レジストパターンRPは、そのメタル膜7上に形成されている。

【0074】

次に、上記製品マスクMd1～Md3の製造およびウエハ5上のレジストパターンRPの転写工程で用いた縮小投影露光装置の一例を図10によって説明する。なお、図10においては、露光装置の機能を説明するために必要な部分のみを示したが、その他の通常の露光装置(スキャナやステッパ)に必要な部分は通常の範囲で同様である。

【0075】

図10に示す露光装置EXPは、例えば縮小比4:1の走査型縮小投影露光装置(スキャナ)である。露光装置EXPの露光条件は、例えば次の通りである。すなわち、露光光Lpには、例えば露光波長248nm程度のKrFエキシマレーザー光を用い、光学レンズの開口数NA=0.65、照明の形状は円形であり、コヒーレンシ(σ :sigma)値=0.7である。マスクMとしては、前記IPマスクMm1～Mm4または製品マスクMd1～Md3を用いる。ただし、露光光

L p は、上記のものに限定されるものではなく種々変更可能であり、例えば上記 g 線、i 線、A r F エキシマレーザ光または F₂ ガスレーザ光を用いても良い。

【 0 0 7 6 】

露光光源 E 1 から発する光は、フライアイレンズ E 2、アパーチャ E 3、コンデンサレンズ E 4、E 5 及びミラー E 6 を介してマスク（ここではレチクル）M を照明する。光学条件のうち、コヒーレンシはアパーチャ E 3 の開口部の大きさを変化させることにより調整した。マスク M 上には異物付着によるパターン転写不良等を防止するための上記ペリクル P E が設けられている。マスク M 上に描かれたマスクパターンは、投影レンズ E 7 を介して処理基板である製品マスク M d 1 ~ M d 3 またはウエハ 5 上に投影される。なお、マスク M は、マスク位置制御手段 E 8 およびミラー E 9 で制御されたマスクステージ E 1 0 上に載置され、その中心と投影レンズ E 7 の光軸とは正確に位置合わせがなされている。

【 0 0 7 7 】

製品マスク M d 1 ~ M d 3 またはウエハ 5 は、試料台 E 1 1 上に真空吸着されている。試料台 E 1 1 は、投影レンズ E 7 の光軸方向、すなわち、試料台 E 1 1 の基板載置面に垂直な方向（Z 方向）に移動可能な Z ステージ E 1 2 上に載置され、さらに試料台 E 1 1 の基板載置面に平行な方向に移動可能な X Y ステージ E 1 3 上に搭載されている。Z ステージ E 1 2 及び X Y ステージ E 1 3 は、主制御系 E 1 4 からの制御命令に応じてそれぞれの駆動手段 E 1 5、E 1 6 によって駆動されるので、所望の露光位置に移動可能である。その位置は Z ステージ E 1 3 に固定されたミラー E 1 7 の位置として、レーザ測長機 E 1 8 で正確にモニタされている。また、製品マスク M d 1 ~ M d 3 またはウエハ 5 の表面位置は、通常の露光装置が有する焦点位置検出手段で計測される。計測結果に応じて Z ステージ E 1 2 を駆動させることにより、ウエハ 5 の表面は常に投影レンズ E 7 の結像面と一致させることができる。

【 0 0 7 8 】

マスク M と、製品マスク M d 1 ~ M d 3 またはウエハ 5 とは、縮小比に応じて同期して駆動され、露光領域がマスク M 上を走査しながらマスクパターンを製品マスク M d 1 ~ M d 3 またはウエハ 5 上に縮小転写する。このとき、製品マスク

Md 1 ~ Md 3 またはウエハ 5 の表面位置も上述の手段により製品マスク Md 1 ~ Md 3 またはウエハ 5 の走査に対して動的に駆動制御される。ウエハ 5 上に形成された回路パターンに対してマスク M 上の回路パターンを重ね合わせ露光する場合、ウエハ 5 上に形成されたマークパターンの位置をアライメント検出光学系を用いて検出し、その検出結果からウエハ 5 を位置決めして重ね合わせ転写する。主制御系 E 1 4 はネットワーク装置と電氣的に接続されており、露光装置 E X P の状態の遠隔監視等が可能となっている。

【 0 0 7 9 】

本実施の形態によれば、マスク精度を向上させることができ、その結果、転写パターンのばらつきを約 4 0 % 低減することができた。これにより、チップの動作速度を向上させることができ、高付加価値のデバイスチップを高歩留まりで製造することができた。また、マスクの寸法ばらつきに起因するウエハ上での寸法ばらつきを低減できるので、製品製造の工程歩留まり率を 2 / 3 に低減できた。

【 0 0 8 0 】

(実施の形態 2)

本実施の形態 2 では、例えばシステム L S I 等のような混載デバイスの製造方法に本発明を適用した場合について説明する。図 1 1 は、そのシステム L S I の一例を示すチップ 5 C の全体平面図を模式的に示している。なお、図 1 1 には、各回路領域を区別するためにハッチングを付した。

【 0 0 8 1 】

チップ 5 C は、前記実施の形態 1 で説明したウエハ 5 のチップ形成領域 W C A (図 9 等参照) を切断して得られたものである。チップ 5 C のデバイス面 (主面) の中央の内部回路領域 I A には、複数の回路領域 1 0 a ~ 1 0 e が配置されている。回路領域 1 0 a は、例えば D R A M (Dynamic Random Access Memory) が形成された領域、回路領域 1 0 b は、例えば S R A M (Static Random Access Memory) が形成された領域、回路領域 1 0 c は、例えば D S P (Digital Signal Processor) が形成された領域、回路領域 1 0 d は、例えばマイクロプロセッサが形成された領域、さらに回路領域 1 0 e は、例えばユーザロジックが形成された領域を示している。内部回路領域 I A の外周の周辺回路領域 P A には、入出力

回路（入力回路、出力回路および入出力双方向回路）等および複数の外部端子 11 が配置されている。外部端子 11 は、内部回路領域 1A に形成された集積回路の電極を外部に引き出すための電極であり、ボンディングワイヤまたはパンプ電極等が接合されるようになっている。

【0082】

このような混載デバイスを製造する際に用いた IP マスクを図 12 に示す。図 12 (a) ~ (e) の IP マスク Mm5 ~ Mm9 は、それぞれ図 11 の回路領域 10a ~ 10e の転写用のマスクを示している。これらの IP マスク Mm5 ~ Mm9 は、前記実施の形態 1 で説明したのと同様に、基本的にレジストマスクで構成されている。IP マスク Mm5 ~ Mm9 の具体的構成は前記実施の形態 1 の図 2 ~ 図 5 で説明したのと同じなので説明を省略する。なお、図 12 (a) ~ (e) の各 IP マスク Mm5 ~ Mm8 には、それが図 11 のチップ 5c のどの回路領域 10a ~ 10d を転写するものかを示すために各回路領域 10a ~ 10d と同様のハッチングを付した。ユーザロジック用の回路領域 10e を転写するための IP マスク Mm9 には、図 11 で示した回路領域 10e と同様にハッチングを付さないことで、それを示した。

【0083】

また、このような IP マスク Mm5 ~ Mm9 を用いて製造された製品マスクを図 13 に示す。製品マスク Md4 の集積回路パターン領域 CA には、複数のパターン転写領域 12a ~ 12e が配置されている。パターン転写領域 12a は、そのパターンが、図 12 (a) の IP マスク Mm5 で転写された領域であり、図 11 の回路領域 10a のパターンを転写するためのパターンが配置された領域である。パターン転写領域 12b は、そのパターンが、図 12 (b) の IP マスク Mm6 で転写された領域であり、図 11 の回路領域 10b のパターンを転写するためのパターンが配置された領域である。パターン転写領域 12c は、そのパターンが、図 12 (c) の IP マスク Mm7 で転写された領域であり、図 11 の回路領域 10c のパターンを転写するためのパターンが配置された領域である。パターン転写領域 12d は、そのパターンが、図 12 (d) の IP マスク Mm8 で転写された領域であり、図 11 の回路領域 10d のパターンを転写するためのパタ

ーンが配置された領域である。パターン転写領域12eは、そのパターンが、図12(e)のIPマスクMm9で転写された領域であり、図11の回路領域10eのパターンを転写するためのパターンが配置された領域である。このような製品マスクMd4を用いてウエハ5のデバイス面に転写されたパターンを図14に模式的に示す。

【0084】

なお、図13の製品マスクMd4の各パターン転写領域12a～12eおよび図14のチップ形成領域WCAには、それが図11のチップ5cのどの回路領域10a～10dを転写するものかを示すために各回路領域10a～10dと同様のハッチングを付した。製品マスクMd4においてユーザロジック用の回路領域10eを転写するためのパターン転写領域12eおよびウエハ5の各チップ形成領域WCAにおける論理回路領域10eには、図11で示した回路領域10eと同様にハッチングを付さないことで、それを示した。

【0085】

次に、このような混在デバイスの製造方法の製造工程の具体的な一例を図15の工程図に沿って、図16および図17を用いて説明する。なお、図16および図17においては、図11の回路領域10a～10eのパターンを、それぞれ英字のD, S, DS, M, Uで模式的に示す。また、図16および図17においては、図面を見易くするため、有機膜からなる遮光パターンに太いハッチングを付し、メタルからなる遮光パターンに細いハッチングを付した。

【0086】

まず、上記マスク基板の第1主面上に上記電子線レジスト膜を塗布し、これに対して電子線描画処理を施すことでパターンを描画する。続いて、これに対して現像処理を施すことで、遮光パターンがレジスト膜等のような有機膜で構成されるレジストマスクでIPマスクを製造する(工程100, 101)。このIPマスクの一例を図16に模式的に示す。IPマスクMm10～Mm14は、図11の混載デバイスを構成するのに用いるIPマスクのセットを示している。各IPマスクMm10～Mm14は、レジストマスクで構成されている。IPマスクMm10～Mm14は、それぞれ図11の回路領域10a～10eを転写するため

のマスクである。各 I P マスク M m 1 0 ~ M m 1 4 の集積回路パターン領域には、前記有機膜からなる遮光パターン 2 が形成されている。I P マスクを通常のマスクとした場合には、上記電子線描画処理後にメタル膜のエッチング工程が必要であるが、本実施の形態では、I P マスクをレジストマスクとしていることにより、それらの工程が不要であり、現像完了の段階で I P マスクとして完成する。ここでは、I P マスク M m 1 0 ~ M m 1 4 の周辺領域にメタルからなる遮光パターン 4 (4 b, 4 c) が配置されている場合を例示したが、これに限定されるものではなく、前記実施の形態 1 において、図 2, 図 3, 図 5 で説明した構造の I P マスクを用いても良い。

【 0 0 8 7 】

次に、この I P マスク M m 1 0 ~ M m 1 4 のセットを用いて製品マスクを製造する。ここでは、製品マスクを通常のマスクとする。そこで、まず、製品用のマスク基板を用意する。このマスク基板の第 1 主面には、例えばクロムまたは酸化クロム等のようなメタル膜が堆積が堆積され、さらにその上にはレジスト膜が塗布されている。続いて、この製品用のマスク基板を、上記露光装置 E X P の試料台 E 1 1 にセットした後、その露光装置 E X P のマスクステージ E 1 0 に I P マスク M m 1 0 ~ M m 1 4 を順にセットして順に露光処理を施し、現像処理を施す (工程 1 0 2) 。その後、製品マスクのマスク基板 1 上における各回路領域間 (パターン転写領域のパターン間) に接続ずれがあるか否かを検査する (工程 1 0 3) 。検査の結果、接続ずれが確認された場合には、上記現像処理で形成されたレジストパターンを除去し、上記と同様のレジスト塗布、露光および現像処理を施して再作成する。検査の結果、接続ずれが無いと確認された場合には、上記 I P マスク M m 1 0 ~ M m 1 5 を用いた露光処理によりマスク基板上のメタル膜上に形成されたレジストパターンをエッチングマスクとして、そこから露出するメタル膜をエッチング除去することでメタルからなる遮光パターンを形成し (工程 1 0 4) 、製品マスクを製造する (工程 1 0 5) 。この製品マスクの一例を図 1 7 に模式的に示す。製品マスク M d 5 は、通常のマスクで構成されており、集積回路パターン領域 C A 内における各パターン転写領域 1 2 a ~ 1 2 e および周辺領域には、メタル膜からなる遮光パターン 4 (4 b, 4 d, 4 e) が形成されて

いる。

【0088】

その後、この製品マスクを上記露光装置EXPにセットした後、ウエハのデバイス面上のレジスト膜に露光処理を施すことにより、ウエハのデバイス面に複数のチップ形成領域を転写する。これ以降は、通常の半導体集積回路装置の製造方法と同じなので説明を省略する。

【0089】

(実施の形態3)

本実施の形態においては、製品マスクをレジストマスクで構成する場合について説明する。図18は、前記実施の形態2で説明した混載デバイスの製造方法の製造工程の一例を示している。また、図19は、製品マスクMd6の一例を示している。なお、図19においては、図11の回路領域10a~10eのパターンを、それぞれ英字のD, S, DS, M, Uで模式的に示す。また、図19においては、図面を見易くするため、有機膜からなる遮光パターンに太いハッチングを付した。

【0090】

ここでは、前記実施の形態2で説明したのと同様に、図18の工程100~工程101を経た後、工程102a以降は、例えば次のようにする。

【0091】

まず、製品マスク用のマスク基板を用意する。このマスク基板は、その主面に、メタル膜は塗布されておらず、例えば前記電子線レジスト膜が塗布されている。続いて、その製品用のマスク基板を前記露光装置EXPの試料台E11上にセットした後、その露光装置EXPのマスキステージE10に、前記図16で例示したIPマスクMm10~Mm14を順にセットして順に露光処理を施し、現像処理を施す(工程102a)。ここでは、製品マスクのマスク基板上にレジストパターンからなる遮光パターンが形成される。その後、製品マスクのマスク基板上における各回路領域間(パターン転写領域のパターン間)に接続ずれがあるか否かを検査する(工程103a)。検査の結果、接続ずれが確認された場合には、上記現像処理で形成されたレジストパターンを除去し、上記と同様のレジスト

塗布、露光および現像処理を施して再作成する。検査の結果、接続ずれが無いと確認された場合には、製品マスクの完成となる（工程105a）。この後、製品マスク上のパターンに欠陥があるか否かを検査しても良い。その際に、製品マスクを用いてウエハ上に露光処理を行い、そのウエハ上に転写されたレジストパターンの良否を確認することで、製品マスクのパターンの良否を検査しても良い。この検査の結果、合格であれば製品マスクとして実際の半導体集積回路装置の製造に用い、不合格であれば、有機膜からなる遮光パターンを除去して再度製品マスクを作成し直す。このように実際のウエハ上にパターンを転写して製品マスクのパターンの良否を判定することにより、製品マスク専用の検査装置を不要とすることができる。また、欠陥修正装置等も不要となる。したがって、マスクコストを低減できる。また、実際の転写パターンを検査しているので検査結果の信頼性が高い。このため、信頼性の高い半導体集積回路装置を提供できる。また、検査の信頼性が高いので、検査のし直しを低減できる。このため、マスクの製造時間の短縮を図れる。なお、このような検査技術については、本願発明者らによる特願2000-316965号（平成12年10月17日出願）に記載がある。

【0092】

この製品マスクの一例を図19に模式的に示す。製品マスクMd6は、レジストマスクで構成されており、集積回路パターン領域CA内における各パターン転写領域12a～12eおよび周辺領域には、前記有機膜からなる遮光パターン2（2c, 2e, 2f）が形成されている。この場合、IPマスクの製造工程でも、製品マスクの製造工程でも、メタルをエッチングする工程が1度も無くなるので、混載デバイスの開発期間および製造時間をさらに短縮できる。また、パターン寸法精度をさらに向上させることもできる。しかも、前記実施の形態1で説明した場合よりもさらにマスクコストを低減できるので、混載デバイスのコストを大幅に低減できる。製品マスクは、図19に示すものに限定されるものではなく、例えば前記図8で例示した製品マスクMd3を使用しても良い。

【0093】

（実施の形態4）

本実施の形態では、IPマスクのセットのうち、所定のIPマスクのみをレジ

ストマスクとする場合を説明する。ここでは、IPマスクのセットの中でも比較的複数回使用できるものはメタルマスクとし、例えばユーザロジック部等のようにパターンの変更が生じ易く、1回または数回程度しか使用しないものはレジストマスクとする。これにより、IPマスクのセットを効率的に製造することができる。このため、IPマスクの製造時間を短縮でき、半導体集積回路装置の短納期化に対応できる。また、IPマスクのセットコストを低減できる。

【0094】

図20は、図11の混載デバイスの製造工程の一例を示している。また、図21～図23は、IPマスクMm15～Mm19のセットの一例を示している。なお、図21～図23においては、図11の回路領域10a～10eのパターンを、それぞれ英字のD, S, DS, M, Uで模式的に示す。また、図21～図23では、図面を見易くするため、有機膜からなる遮光パターンに太いハッチングを付し、メタルからなる遮光パターンに細いハッチングを付した。

【0095】

まず、前記実施の形態2, 3と同様にして、IPマスクのセットのうちの所定のIPマスクをレジストマスクで製造する(工程100a, 101a)。一方、IPマスクのセットのうちの所定のIPマスクを通常のマスキで製造する。ここでは、通常のマスキと同様の製造方法によりIPマスクを製造する。すなわち、マスキ基板上のメタル膜上に電子線レジスト膜を塗布した後、これに電子線描画処理によってパターンを描画する。続いて、現像処理を施してレジストパターンを形成した後、これをエッチングマスキとして下層のメタル膜をパターンニングする。このようにして通常のマスキで構成されるIPマスクを製造する(工程100b, 101b, 101c)。

【0096】

このようにして製造されたIPマスクのセットの一例を図21に示す。IPマスクMm15～Mm18は、通常のマスキとされている。このIPマスクMm15～Mm18は、それぞれ図11の回路領域10a～10dのパターンを製品マスキに転写するためのマスキである。各IPマスクMm15～Mm18には、例えばクロムまたは酸化クロム等のようなメタル膜からなる遮光パターン4(4f

）が形成されている。

【0097】

一方、IPマスクMm19は、レジストマスクとされている。このIPマスクMm19は、図11の回路領域10eのパターンを製品マスクに転写するためのマスクである。すなわち、ユーザロジック回路部のパターンを転写するためのマスクである。ここでは、前記実施の形態1の図4で説明したタイプのレジストマスク構造を例示したが、これに限定されるものではなく、前記図2、図3および図5で説明したタイプのレジストマスク構造としても良い。

【0098】

このIPマスクMm19の遮光パターン2（2a）を除去した状態を図22に示す。IPマスクMm19のパターンに変更が生じた場合は、この図22（e）のマスク基板1の第1主面上に、前記電子線レジスト膜を塗布し、これに電子線描画処理によってパターンを描画することで、図23に例示するように、上記有機膜からなる新たな遮光パターン2（2a）を形成し、IPマスクMm20を製造すれば良い。したがって、ユーザのパターン変更に柔軟にしかも短時間のうちに対応でき、製品の短納期化が可能となる。すなわち、複数種類の異なる製品を短期間のうちに提供することが可能となる。また、種々の電気的特性試験のためのパターン変更にも柔軟にしかも短期間のうちに対応できるので、製品の開発期間を短縮することができる。

【0099】

このようなIPマスクMm15～Mm19のセットを用意した後、これらを用いて製品マスクを製造する。この製品マスクの製造工程は、前記実施の形態3で説明したのと同じなので説明を省略する。

【0100】

（実施の形態5）

本実施の形態5においては、製品マスクの一部のみを変更する場合について説明する。図24は、図11の混載デバイスの製造方法の製造工程の具体的な一例を示している。

【0101】

まず、図 2 4 に示すように、前記実施の形態 2 ～ 4 と同様に、I P マスクのセットを製造する。この I P マスクは、通常のマスクでも良いし、レジストマスクでも良いし、あるいは通常のマスクとレジストマスクとを混在させても良い（工程 2 0 0）。続いて、前記露光装置 E X P の試料台 E 1 1 上に製品マスク用のマスク基板をセットする。このマスク基板には、例えば図 4 で説明したのと同様のメタル膜が堆積され、さらにその上にはレジスト膜が塗布されている。続いて、露光装置 E X P のマスクステージ E 1 0 上に上記 I P マスクを順にセットして順に露光処理を施すことにより、製品マスク用のマスク基板上のレジスト膜にパターンを転写した後、現像処理を施す（工程 2 0 1）。その後、製品用のマスク基板上に形成されたレジストパターンを検査する。この際、製品マスクの各パターン転写領域間の接続ずれがあるか否かを検査する（工程 2 0 2）。検査の結果、接続ずれがある場合は、再作成をする。一方、接続ずれが無ければ、そのレジストパターンをエッチングマスクとして、下層のメタル膜をエッチング法によってパターンニングして、中間マスタ・マスクを製造する（工程 2 0 3, 2 0 4）。

【 0 1 0 2 】

この中間マスタ・マスクの一例を図 2 5 に示す。この中間マスタ・マスク M d a は、製品マスクとして完成される前の未完成マスクである。中間マスタ・マスク M d a のパターン転写領域 1 2 a ～ 1 2 d には、例えばメタル膜からなる遮光パターン 4 （ 4 d ）が形成されている。しかし、ユーザロジック回路部の回路領域のパターンを転写するためのパターン転写領域 1 2 e には、何ら遮光パターンが形成されていない。なお、図 2 5 においては、図 1 1 の回路領域 1 0 a ～ 1 0 d のパターンを、それぞれ英字の D, S, D S, M で模式的に示す。また、ここでは、図面を見易くするため、メタル膜からなる遮光パターンに細いハッチングを付す。

【 0 1 0 3 】

次いで、この中間マスタ・マスク M d a のマスク基板 1 の第 1 主面上に前記電子線レジスト膜を塗布した後、これを上記露光装置 E X P の試料台 E 1 1 上にセットし、かつ、マスクステージ E 1 0 上に、上記図 1 1 の回路領域 1 0 e のパターンを転写するための I P マスクをセットした状態で、露光処理を施し、続いて

、現像処理を施す（工程 2 0 5）。このようにして中間マスタ・マスク M d a のマスク基板 1 上に形成されたレジストパターンについて、各パターン転写領域間の接続ずれがあるか否かを検査する（工程 2 0 6）。検査の結果、接続ずれがある場合は、再作成をする。一方、接続ずれが無ければ、そのレジストパターンを遮光パターンとする製品マスクを製造する（工程 2 0 7）。

【 0 1 0 4 】

この製品マスクの一例を図 2 6 に示す。この製品マスク M d 7 のパターン転写領域 1 2 e には、例えば前記有機膜からなる遮光パターン 2 (2 e) が形成されている。すなわち、本実施の形態の製品マスク M d 7 では、同じマスク基板 1 の第 1 主面の集積回路パターン領域 C A 内に、メタルからなる遮光パターン 4 (4 d) と、有機膜からなる遮光パターン 2 (2 e) との両方が配置されている。なお、図 2 6 においては、図 1 1 の回路領域 1 0 a ~ 1 0 e のパターンを、それぞれ英字の D, S, D S, M, U で模式的に示す。また、ここでは、図面を見易くするため、メタル膜からなる遮光パターンに細いハッチングを付し、有機膜からなる遮光パターンに太いハッチングを付す。また、部分レジストマスク技術については、本願発明者らによる特願平 2 0 0 0 - 2 0 6 7 2 8 号および特願 2 0 0 0 - 2 0 6 7 2 9 号（共に平成 1 2 年 7 月 7 日出願）に記載がある。

【 0 1 0 5 】

次に、このような製品マスクのパターン変更方法について説明する。図 2 7 は、その変更方法の工程の一例を示している。例えばユーザロジック回路部のパターンの変更に際しては、まず、製品マスク M d 7 のパターン転写領域 1 2 e における有機膜からなる遮光パターン 2 (2 e) を除去し洗浄処理を施す（工程 3 0 0）。これにより、図 2 5 に示した中間マスタ・マスク M d a の状態に戻る（工程 3 0 1）。その後、図 2 4 で説明したのと同様の工程を経て、図 2 8 に例示するように、製品マスク M d 8 のユーザロジック回路部のパターンを転写するためのパターン転写領域 1 2 e に、図 2 6 に示した元の製品マスク M d 7 のパターン転写領域 1 2 e に形成されていた遮光パターン 2 (2 e) とは異なる回路構成を形成する有機膜からなる新たな遮光パターン 2 (2 e) を形成する。これにより、回路構成の異なる混載デバイスを短時間のうちに製造することができる。この

ような製品マスクの製造方法は、電気的特性が若干異なる同一タイプの混載デバイスをシリーズで提供するような場合にも適している。また、混載デバイスの開発期に種々の電気的特性のものを試験用として製造し、その電気的特性のうち最適なものを選択するような場合にも、短期間のうちに多くのデータを取得できることから適している。

【 0 1 0 6 】

(実施の形態 6)

本実施の形態においては、例えば DRAM に本発明を適用した場合について説明する。この DRAM の一例を図 2 9 に示す。

【 0 1 0 7 】

チップ 5 C の中央の内部回路領域 I A には、複数のメモリマット 1 5 が規則的に並んで配置されている。各メモリマット 1 5 内には、例えば 1 個の M I S ・ F E T (Metal Insulator Semiconductor ・ Field Effect Transistor) と 1 個のキャパシタとを有するメモリセルが複数個規則的に並んで配置されている。各メモリセルは、ワード線とこれに交差するように配置されたデータ線との交点近傍に配置されている。また、各メモリマット 1 5 の近傍には、周辺回路領域 1 6 a , 1 6 b が配置されている。周辺回路領域 1 6 a , 1 6 b には、デコーダ回路、センスアンプ回路、ドライバ回路等のような種々の周辺回路が配置されている。さらに、内部回路領域 I A の外周の短辺近傍には、複数の外部端子 1 1 が並んで配置されている。

【 0 1 0 8 】

次に、本実施の形態における I P マスクの一例を説明する。本実施の形態では、上記メモリマット 1 5 のパターンを転写するための I P マスク (第 1 の I P マスク) と、上記周辺回路領域のパターンを転写するための I P マスク (第 2 の I P マスク) とを用意した。図 3 0 は、その一例を示している。図 3 0 (a) ~ (c) は、それぞれ上記メモリマット 1 5 のパターンを転写するための I P マスク M m 2 0 、上記周辺回路領域 1 6 a のパターンを転写するための I P マスク M m 2 1 、上記周辺回路領域 1 6 b のパターンを転写するための I P マスク M m 2 2 を示している。

【 0 1 0 9 】

この I P マスク Mm 2 0 ~ Mm 2 2 は、前記レジストマスクで構成されている。ここでは、前記図 4 のレジストマスク構造を例示したが、これに限定されるものではなく種々変更可能であり、前記図 2、図 3 および図 5 で例示したレジストマスク構造とすることもできる。また、I P マスク Mm 2 0 ~ Mm 2 2 のうちのどれかをレジストマスクとし、それ以外を通常のマスクとしても良い。

【 0 1 1 0 】

また、ここでは、1 個の I P マスク Mm 2 0 に 1 個のメモリマットを転写するための領域を設けた場合について説明したが、これに限定されるものではなく、1 枚の I P マスク Mm 2 0 に複数個のメモリマットを転写するための領域（ブロック単位またはチップ単位）を設けても良い。

【 0 1 1 1 】

このような I P マスク Mm 2 0 ~ Mm 2 2 を用いて製品マスクを製造する。その製造方法は、前記実施の形態 1 ~ 5 と同じなので説明を省略する。I P マスク Mm 2 0 のみを用いて製品マスクにパターンを転写した状態を図 3 1 に示す。パターン転写領域 1 2 m は、上記図 2 9 のメモリマット 1 5 のパターンを転写するための領域である。また、I P マスク Mm 2 0 ~ Mm 2 2 を用いて製造された製品マスクの一例を図 3 2 に示す。製品マスク Md 9 のパターン転写領域 1 2 p 1、1 2 p 2 は、それぞれ上記図 2 9 の周辺回路領域 1 6 a、1 6 b のパターンを転写するための領域である。製品マスク Md 9 は、レジストマスク構造としても良いし、通常のマスク構造としても良い。レジストマスク構造とした場合は、前記実施の形態 1 ~ 5 と同様の効果が得られる。特に、マスクの製造時間を短縮できる。また、マスクコストを低減できる。一方、DRAM 等のようなメモリ製品では、大量生産が見込め、製品マスク Md 9 を複数回使用することから、それによりマスクコストの増大を吸収できるので、製品マスク Md 9 を通常のマスクとしてもコストの増大を回避できる。また、製品マスク Md 9 を複数回使用場合には、ある程度の耐性（耐光性および機械的な耐性）が必要となることから通常のマスクとすることが好ましい。

【 0 1 1 2 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0113】

例えば有機膜からなる遮光パターンを現像処理によってパターン形成した後、露光光照射に対する耐性を向上させる目的で、熱処理や予め紫外光を強力に照射する、いわゆるレジスト膜のハードニング処理を行っても良い。

【0114】

また、前記実施の形態1～6では、マスク基板上の有機膜からなるパターンが遮光パターンとした場合について説明したが、これに限定されるものではなく、例えば減光パターン、すなわち、ハーフトーンパターンとして用いることもできる。

【0115】

また、前記実施の形態6では、DRAMの製造方法に本発明を適用した場合について説明したが、これに限定されるものではなく、例えばSRAM、マスクROM、フラッシュメモリ（EEPROM）等のような他のメモリの製造方法に適用できる。これらの場合も前記実施の形態6で説明したようにメモリマットと周辺回路領域とでIPマスクを分けることができる。

【0116】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である半導体集積回路装置の製造方法に適用した場合について説明したが、それに限定されるものではなく、例えば液晶パネル、ディスクアレイまたはマイクロマシンの製造方法にも適用できる。

【0117】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

(1). 本発明によれば、第1のマスクをレジストマスクとしたことにより、第1のマスクにおけるマスクパターンのパターニング工程に際してエッチング処理を無

くすることができるので、マスクの製造時間を短縮することが可能となる。

(2). 本発明によれば、第 1 のマスクをレジストマスクとしたことにより、第 1 のマスクにおけるマスクパターンのパターニング工程に際してエッチング処理を無くすことができ、マスクの製造時間を短縮できるので、半導体集積回路装置の製造時間を短縮することが可能となる。

(3). 本発明によれば、第 1 のマスクをレジストマスクとしたことにより、第 1 のマスクにおけるマスクパターンのパターニング工程に際してエッチング処理を無くすことができるので、マスクのコストを低減することが可能となる。

(4). 本発明によれば、第 1 のマスクをレジストマスクとしたことにより、マスクのコストを低減できるので、半導体集積回路装置のコストを低減することが可能となる。

【図面の簡単な説明】

【図 1】

本発明の一実施の形態である半導体集積回路装置の製造方法で用いるフォトマスクに形成されたレジスト膜の各種露光波長の光に対する光透過率を示すグラフ図である。

【図 2】

(a) は本発明の一実施の形態である半導体集積回路装置の製造方法で用いるフォトマスクの平面図、(b) は (a) の X 1 - X 1 線の断面図、(c) は (b) の変形例の構造を示す断面図である。

【図 3】

(a) は本発明の一実施の形態である半導体集積回路装置の製造方法で用いる他のフォトマスクの平面図、(b) は (a) の X 2 - X 2 線の断面図、(c) は (b) の変形例の構造を示す断面図である。

【図 4】

(a) は本発明の一実施の形態である半導体集積回路装置の製造方法で用いる他のフォトマスクの平面図、(b) は (a) の X 3 - X 3 線の断面図、(c) は (b) の変形例の構造を示す断面図である。

【図 5】

(a) は本発明の一実施の形態である半導体集積回路装置の製造方法で用いるさらに他のフォトマスクの平面図、(b) は(a) の X 4 - X 4 線の断面図、(c) は(b) の変形例の構造を示す断面図である。

【図 6】

(a) は本発明の一実施の形態である半導体集積回路装置の製造方法で用いる他のフォトマスクの平面図、(b) は(a) の X 5 - X 5 線の断面図である。

【図 7】

(a) は本発明の一実施の形態である半導体集積回路装置の製造方法で用いる他のフォトマスクの平面図、(b) は(a) の X 6 - X 6 線の断面図、(c) は(b) の変形例の構造を示す断面図である。

【図 8】

(a) は本発明の一実施の形態である半導体集積回路装置の製造方法で用いる他のフォトマスクの平面図、(b) は(a) の X 7 - X 7 線の断面図、(c) は(b) の変形例の構造を示す断面図である。

【図 9】

(a) は本発明の一実施の形態である半導体集積回路装置の製造工程における半導体ウエハの平面図、(b) は(a) の半導体ウエハにおける半導体チップ形成領域の拡大平面図、(c) は(b) の X 8 - X 8 線の断面図である。

【図 1 0】

本発明の一実施の形態である半導体集積回路装置の製造方法で用いる露光装置の一例の説明図である。

【図 1 1】

本発明の他の実施の形態である半導体集積回路装置を構成する半導体チップの一例の全体平面図である。

【図 1 2】

(a) ~ (e) は図 1 1 の半導体集積回路装置の製造に用いるフォトマスクの一例の全体平面図である。

【図 1 3】

図 1 1 の半導体集積回路装置の製造に用いるフォトマスクの一例の全体平面図

である。

【図 1 4】

本発明の他の実施の形態である半導体集積回路装置の製造工程における半導体ウエハの全体平面図である。

【図 1 5】

本発明の他の実施の形態である半導体集積回路装置の製造方法で用いるフォトマスクの製造工程を示すフロー図である。

【図 1 6】

(a) ~ (e) は図 1 5 の製造工程で用いられるフォトマスクの一例の全体平面図である。

【図 1 7】

図 1 5 の製造工程で製造されるフォトマスクの一例の全体平面図である。

【図 1 8】

本発明の他の実施の形態である半導体集積回路装置の製造方法で用いるフォトマスクの製造工程を示すフロー図である。

【図 1 9】

図 1 8 の製造工程で製造されるフォトマスクの一例の全体平面図である。

【図 2 0】

本発明の他の実施の形態である半導体集積回路装置の製造方法で用いるフォトマスクの製造工程を示すフロー図である。

【図 2 1】

(a) ~ (e) は図 2 0 の製造工程で用いられるフォトマスクの一例の全体平面図である。

【図 2 2】

(a) ~ (e) は図 2 0 の製造工程で用いられるフォトマスクの一例の全体平面図である。

【図 2 3】

(a) ~ (e) は図 2 0 の製造工程で用いられるフォトマスクの一例の全体平面図である。

【図 2 4】

本発明の他の実施の形態である半導体集積回路装置の製造方法で用いるフォトマスクの製造工程を示すフロー図である。

【図 2 5】

図 2 4 の製造工程で製造されるフォトマスクの一例の全体平面図である。

【図 2 6】

図 2 4 の製造工程で製造されるフォトマスクの一例の全体平面図である。

【図 2 7】

本発明の他の実施の形態である半導体集積回路装置の製造方法で用いるフォトマスクの製造工程を示すフロー図である。

【図 2 8】

図 2 7 の製造工程で製造されるフォトマスクの一例の全体平面図である。

【図 2 9】

本発明のさらに他の実施の形態である半導体集積回路装置を構成する半導体チップの一例の全体平面図である。

【図 3 0】

(a) ~ (c) は図 2 9 の半導体集積回路装置の製造に用いるフォトマスクの一例の全体平面図である。

【図 3 1】

図 2 9 の半導体集積回路装置の製造に用いるフォトマスクの製造工程中の一例の全体平面図である。

【図 3 2】

図 2 9 の半導体集積回路装置の製造に用いるフォトマスクの一例の全体平面図である。

【符号の説明】

- 1 マスク基板
- 2 遮光パターン
- 2 a ~ 2 f 遮光パターン
- 3 a, 3 b 光透過領域

3 c 光透過パターン

4 遮光パターン

4 a ~ 4 e 遮光パターン

5 半導体ウエハ

5 S 半導体基板

5 C 半導体チップ

6 絶縁膜

7 メタル膜

10 a ~ 10 e 回路領域

11 外部端子

12 a ~ 12 e, 12 m, 12 p 1, 12 p 2 パターン転写領域

15 メモリマツト

16 a, 16 b 周辺回路領域

M フォトマスク

Mm 1 ~ Mm 22 IP フォトマスク

Md 1 ~ Md 9 製品フォトマスク

CA 集積回路パターン領域

WCA チップ形成領域

IA 内部回路領域

RP レジストパターン

EXP 露光装置

E 1 露光光源

E 2 フライアイレンズ

E 3 アパーチャ

E 4、E 5 コンデンサレンズ

E 6 ミラー

E 7 投影レンズ

E 8 マスク位置制御手段

E 9 ミラー

E 1 0 マスクステージ

E 1 1 試料台

E 1 2 Zステージ

E 1 3 XYステージ

E 1 4 主制御系

E 1 5, E 1 6 駆動手段

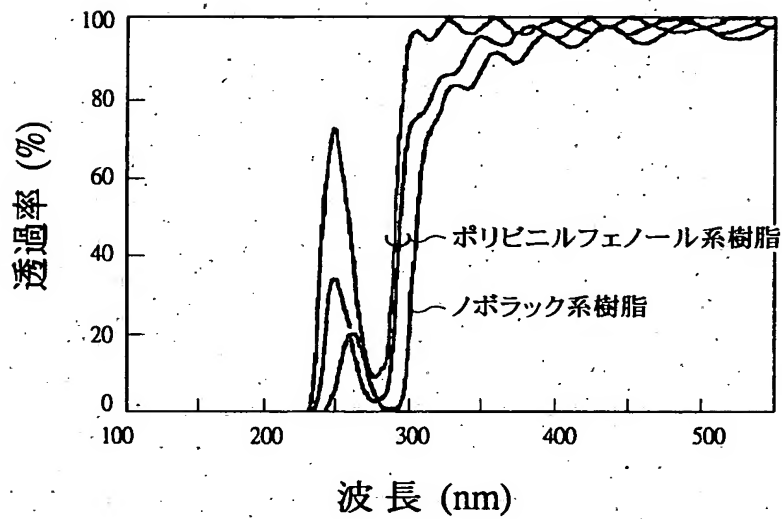
E 1 7 ミラー

E 1 8 レーザ測長機

【書類名】 図面

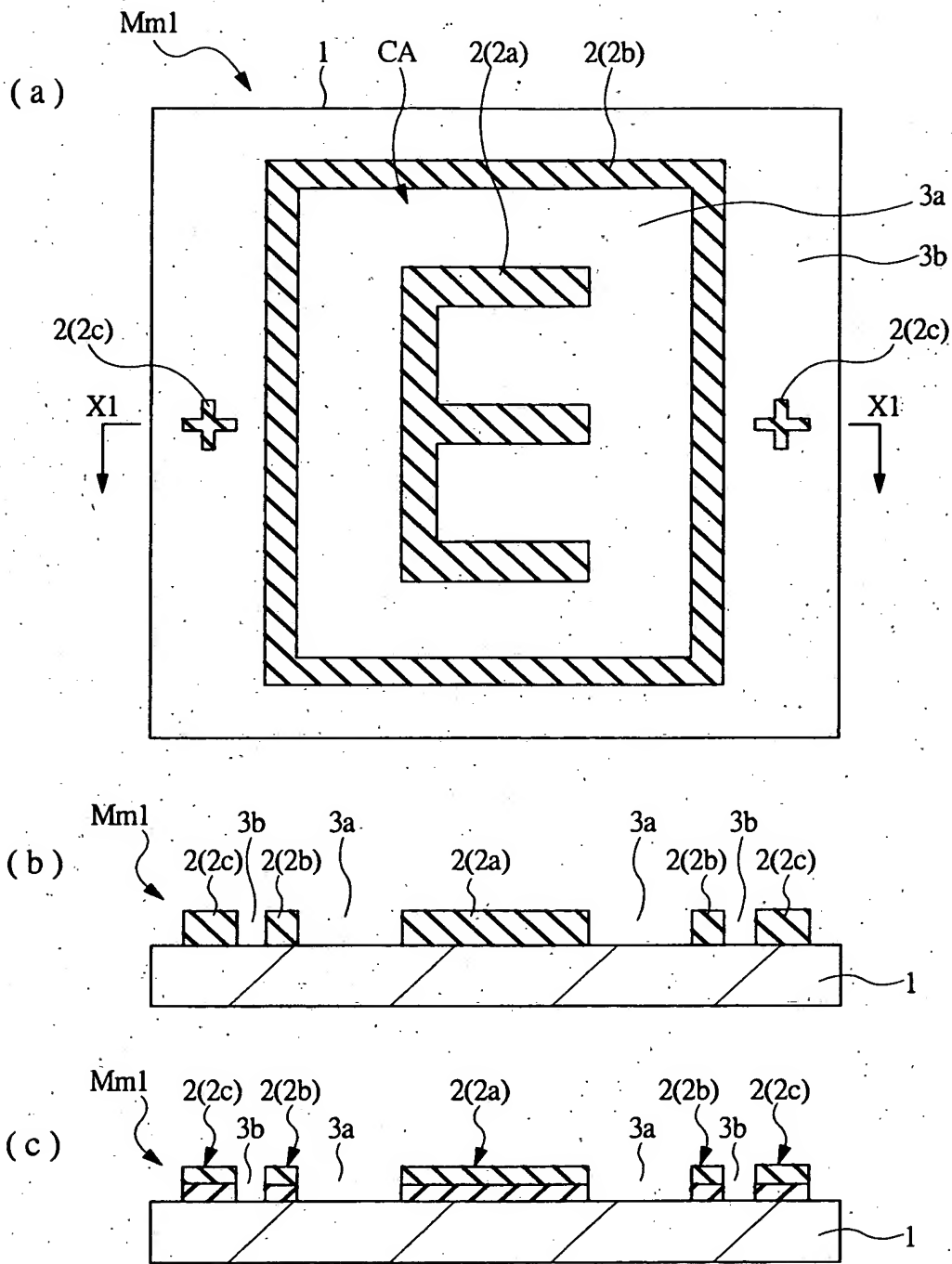
【図 1】

図 1



【図 2】

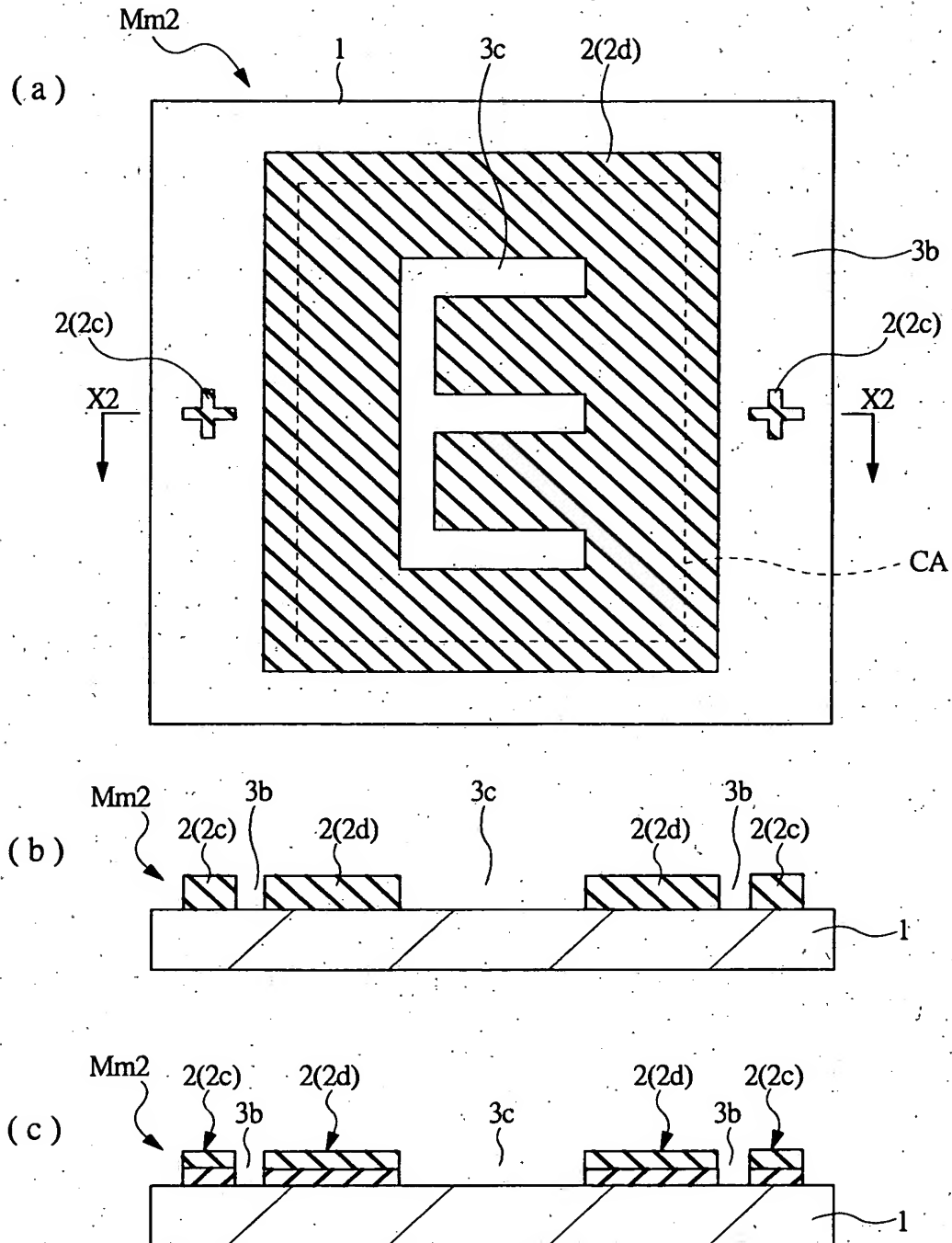
図 2



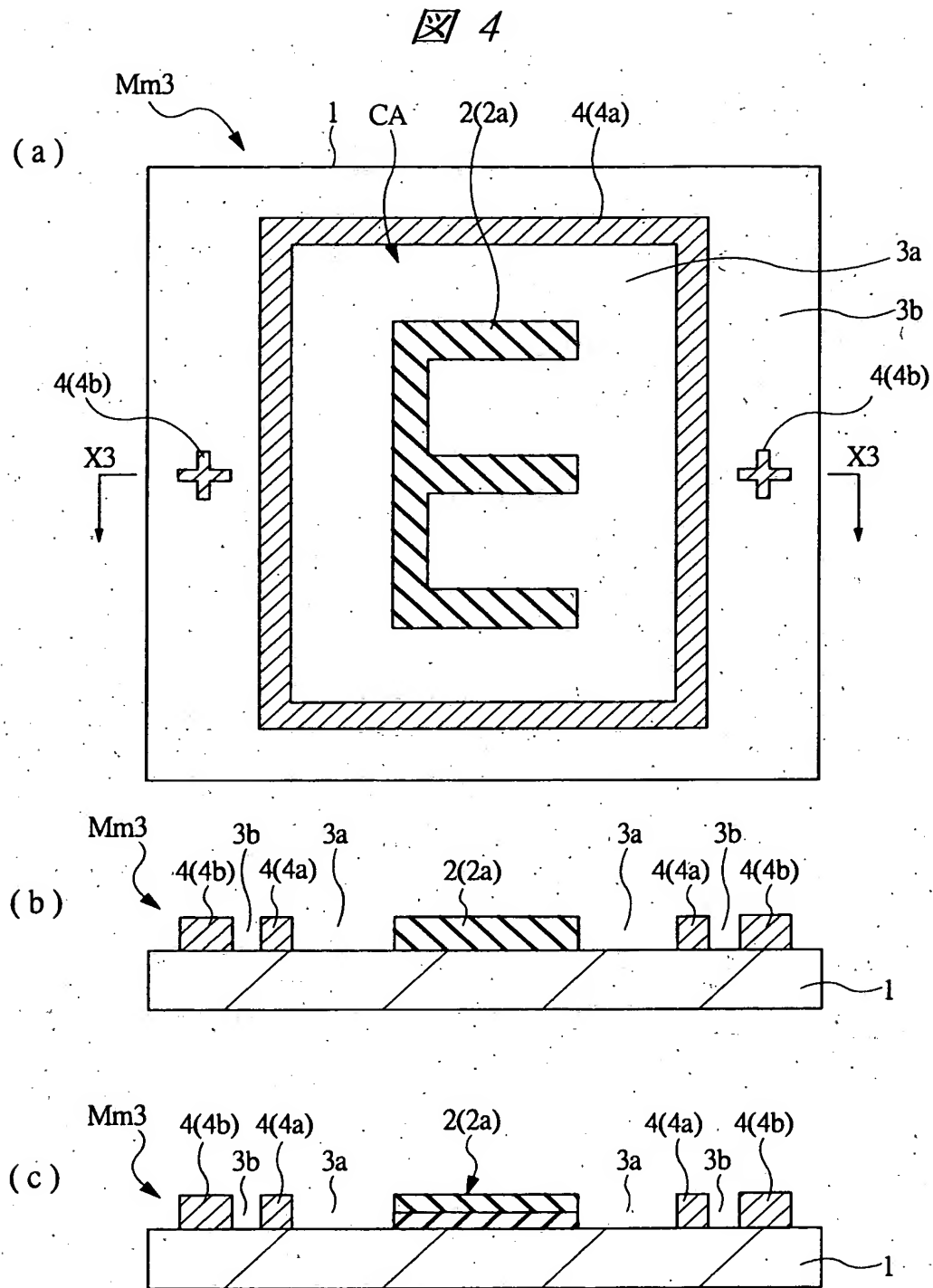
1: マスク基板
2,2a~2c: 遮光パターン
Mm1: IPマスク(第1のフォトマスク)

【図 3】

図 3

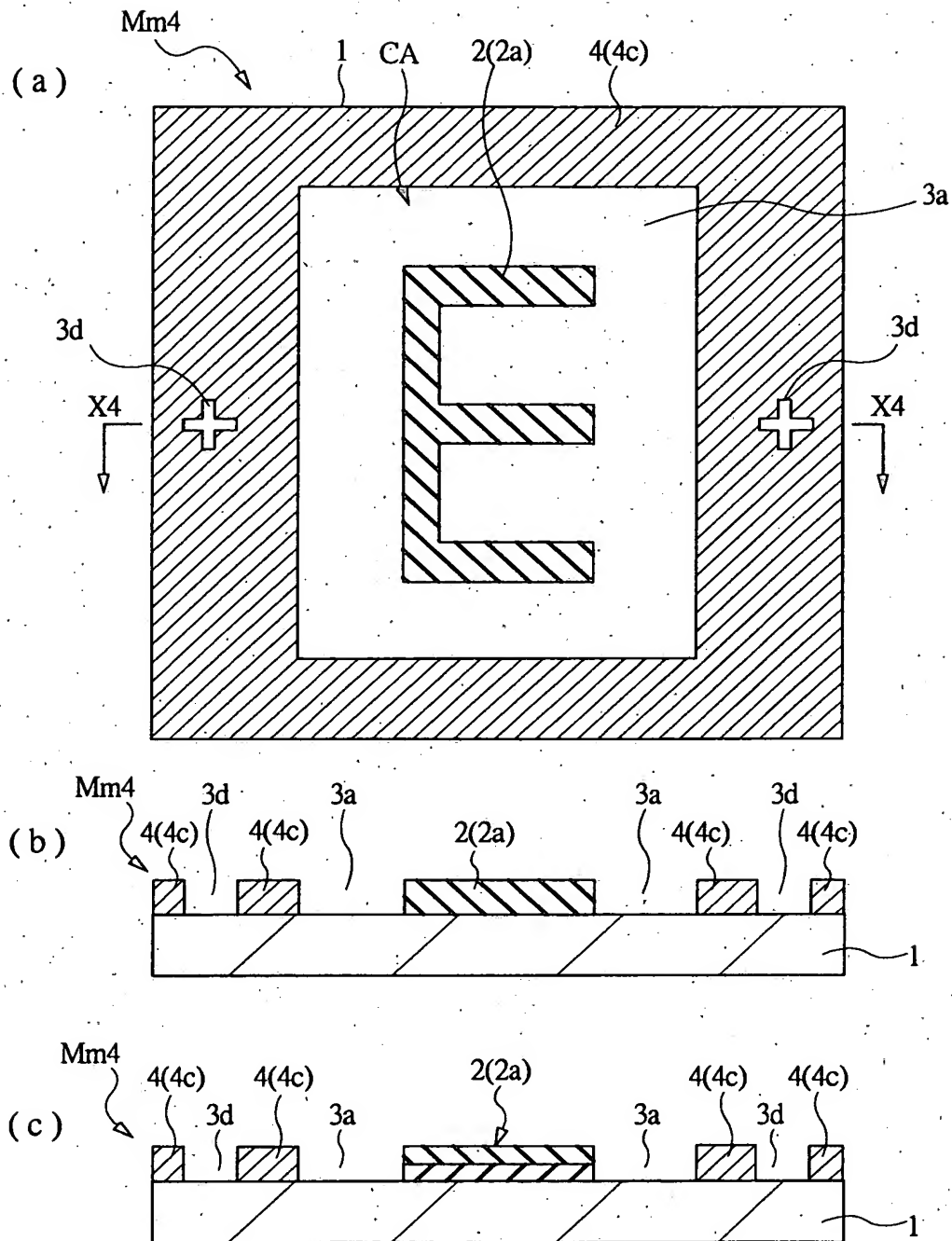


【図 4】



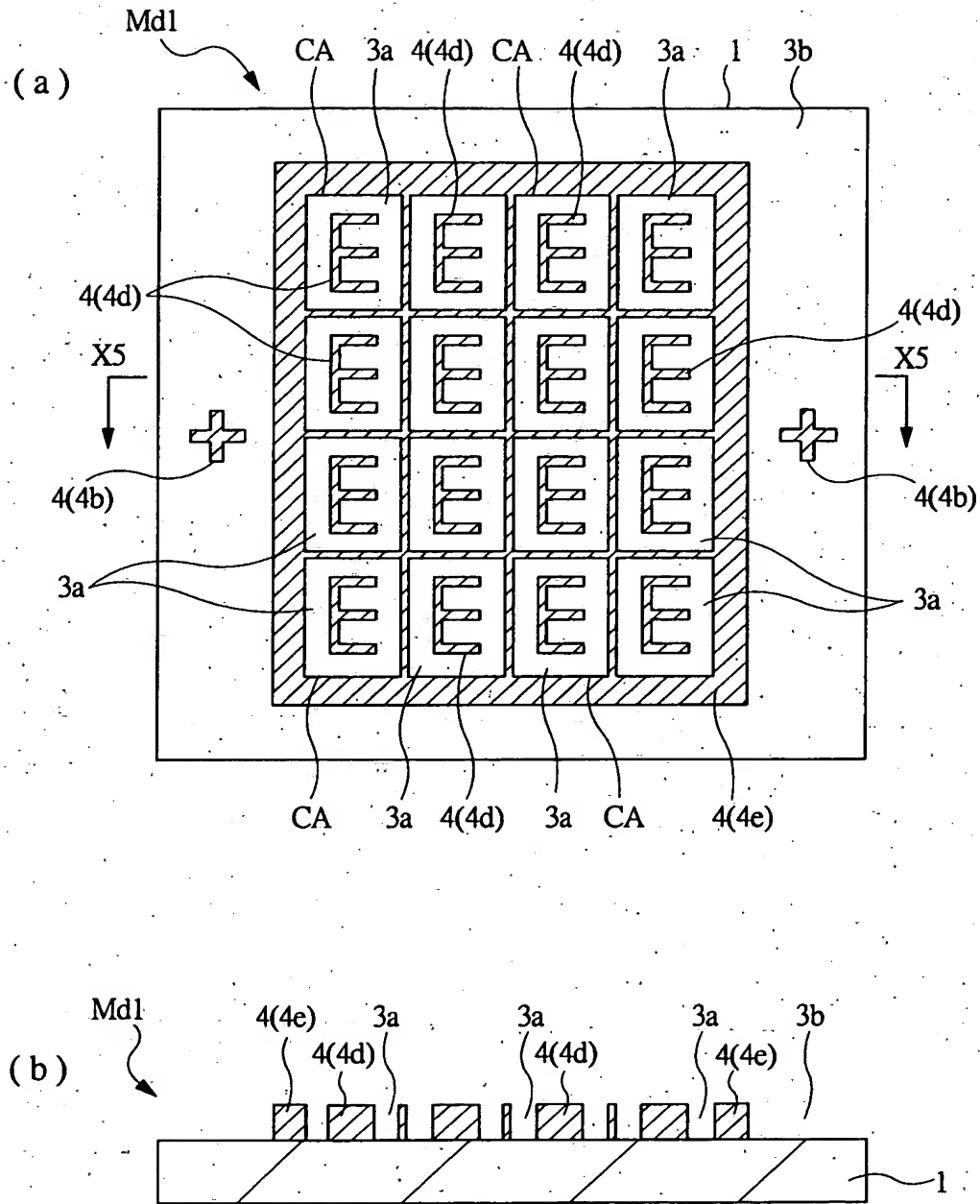
【図 5】

図 5



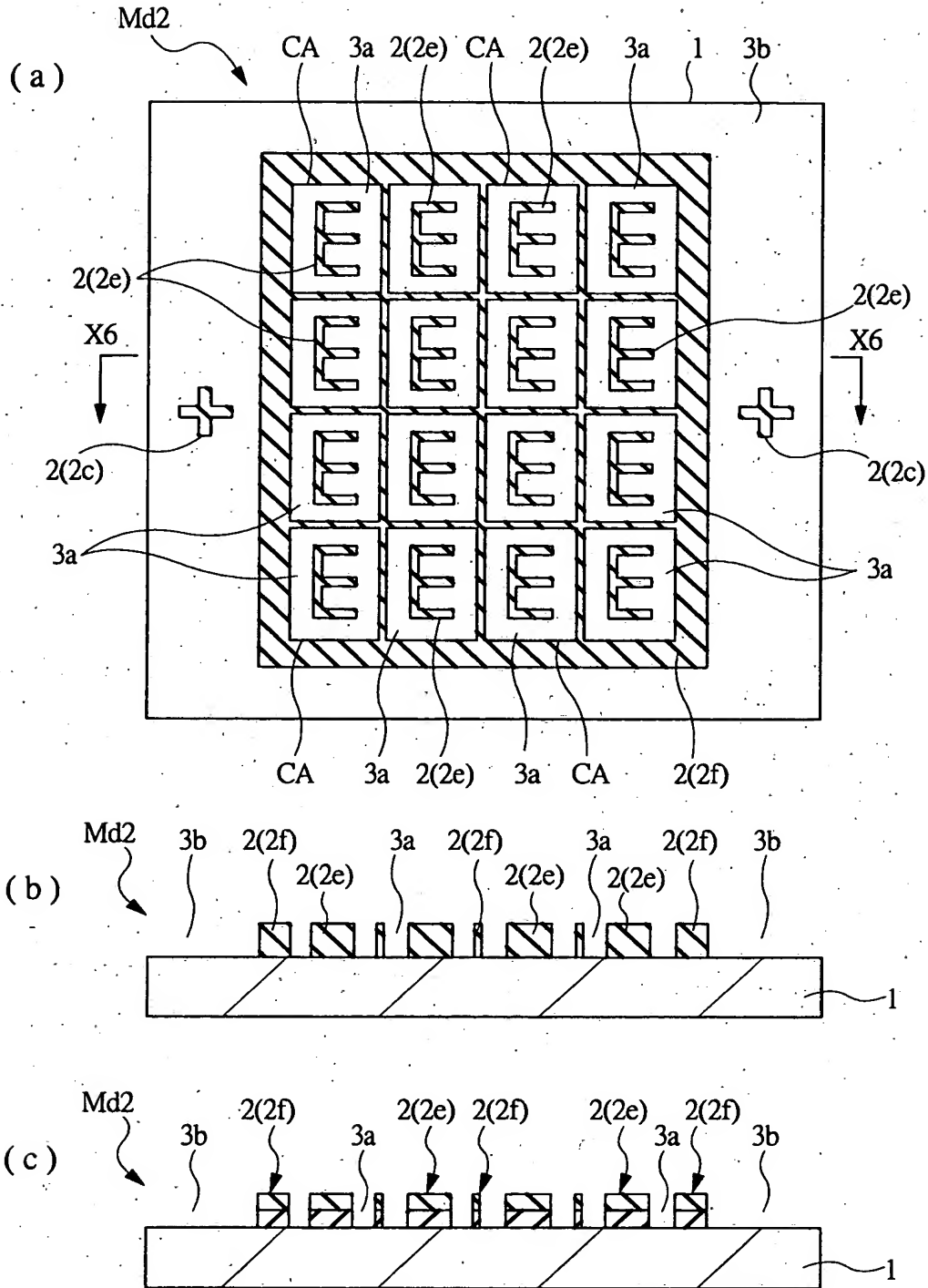
【図 6】

図 6



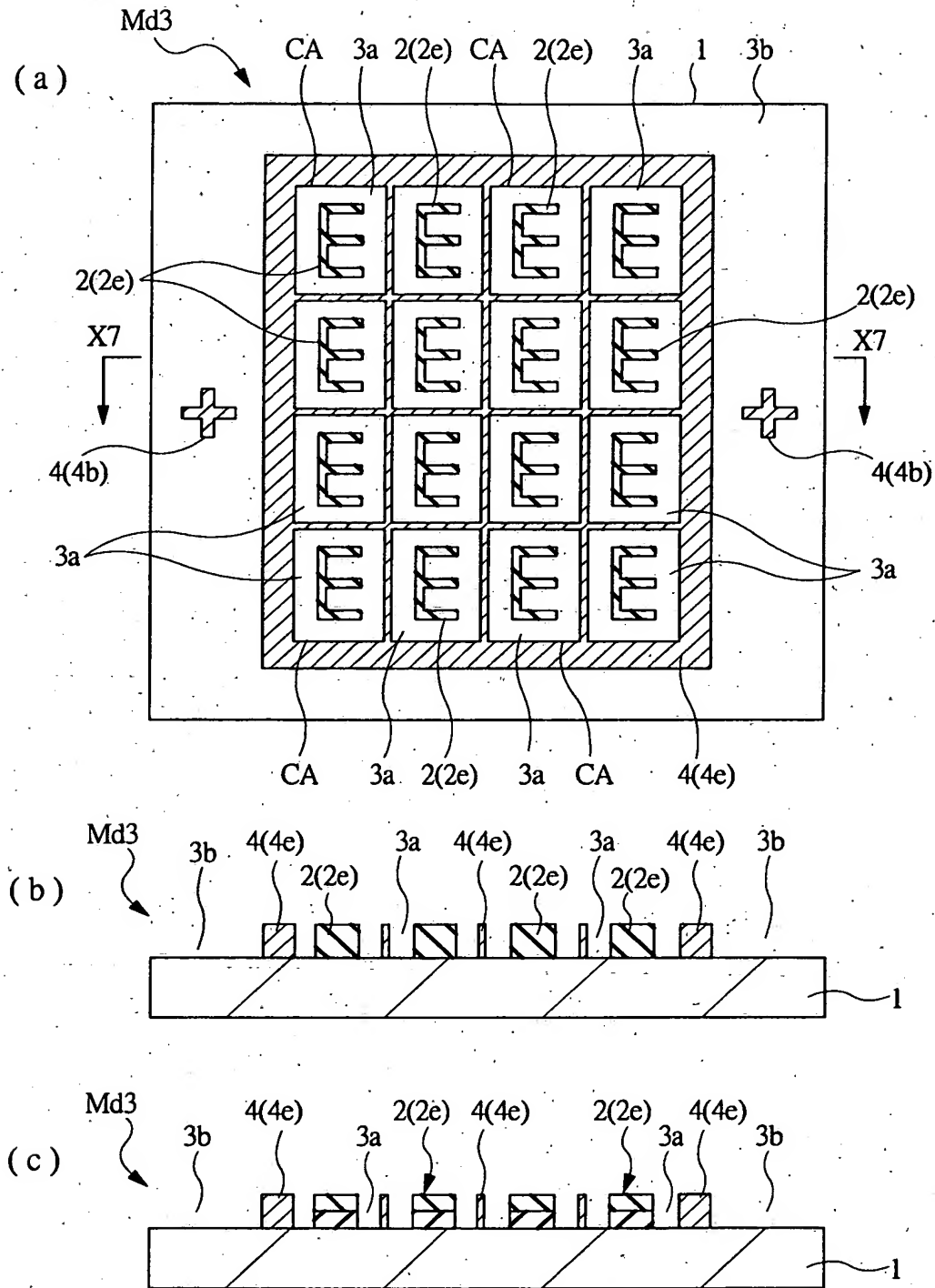
【図 7】

図 7



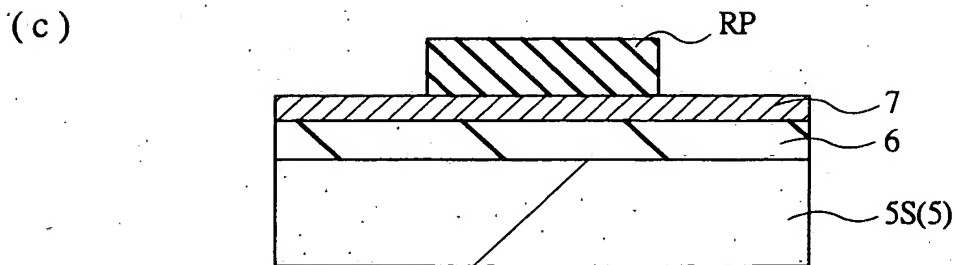
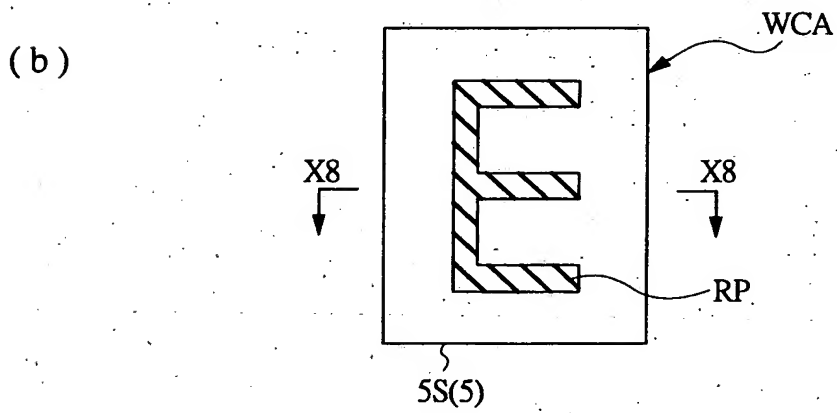
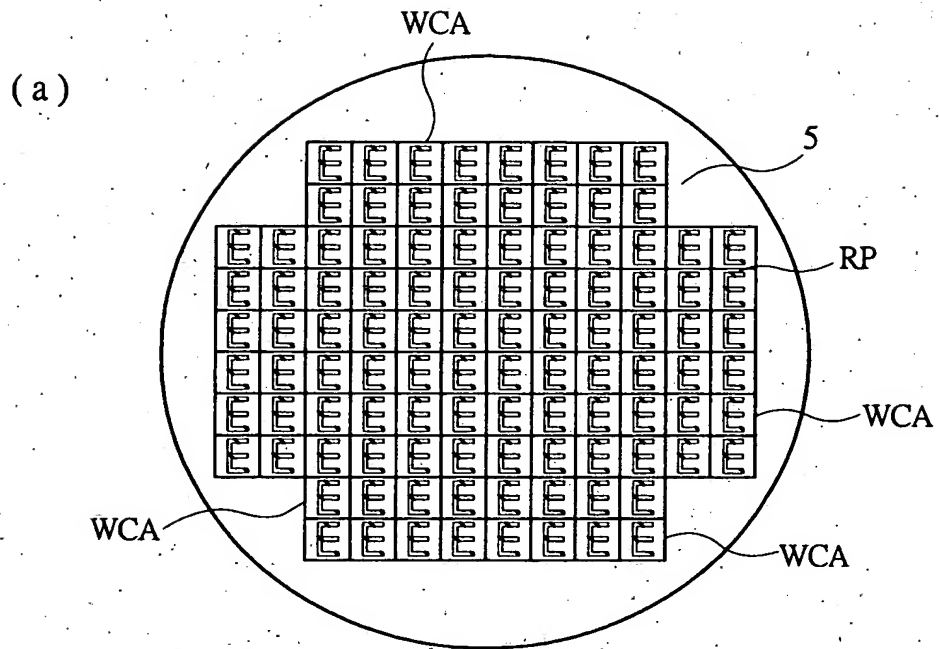
【図 8】

図 8



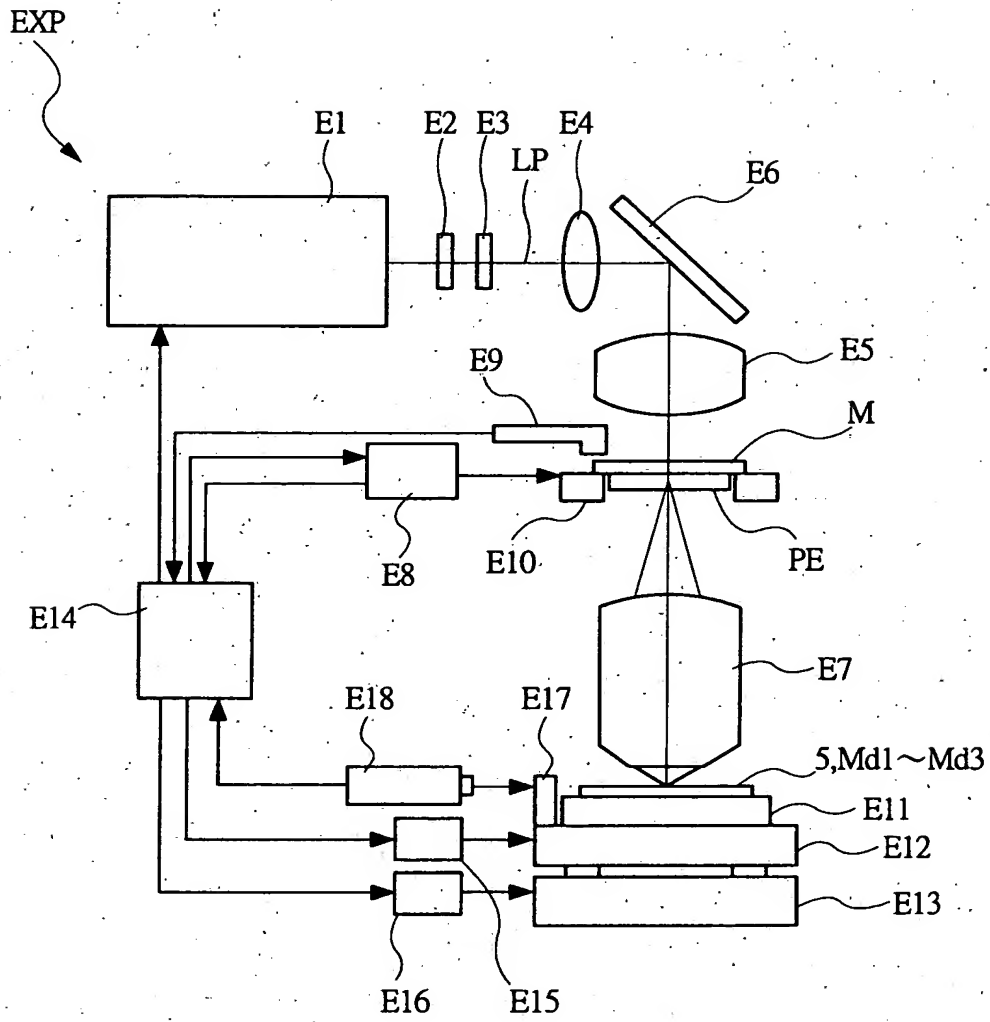
【図 9】

図 9



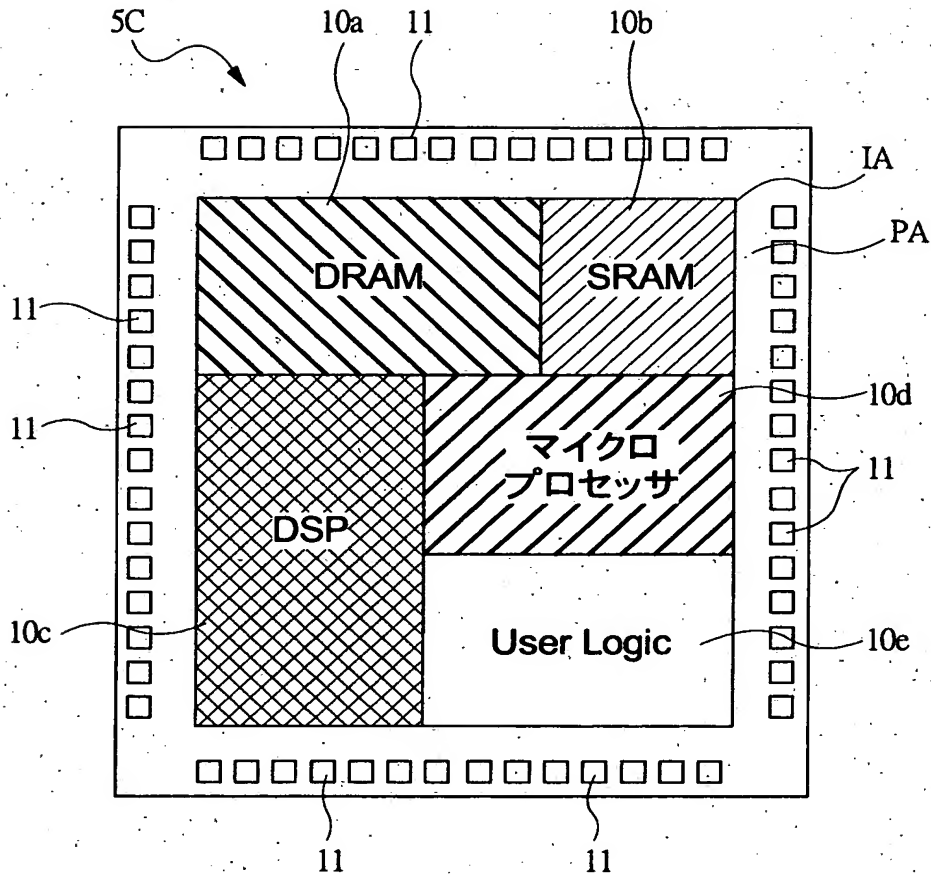
【図 10】

図 10



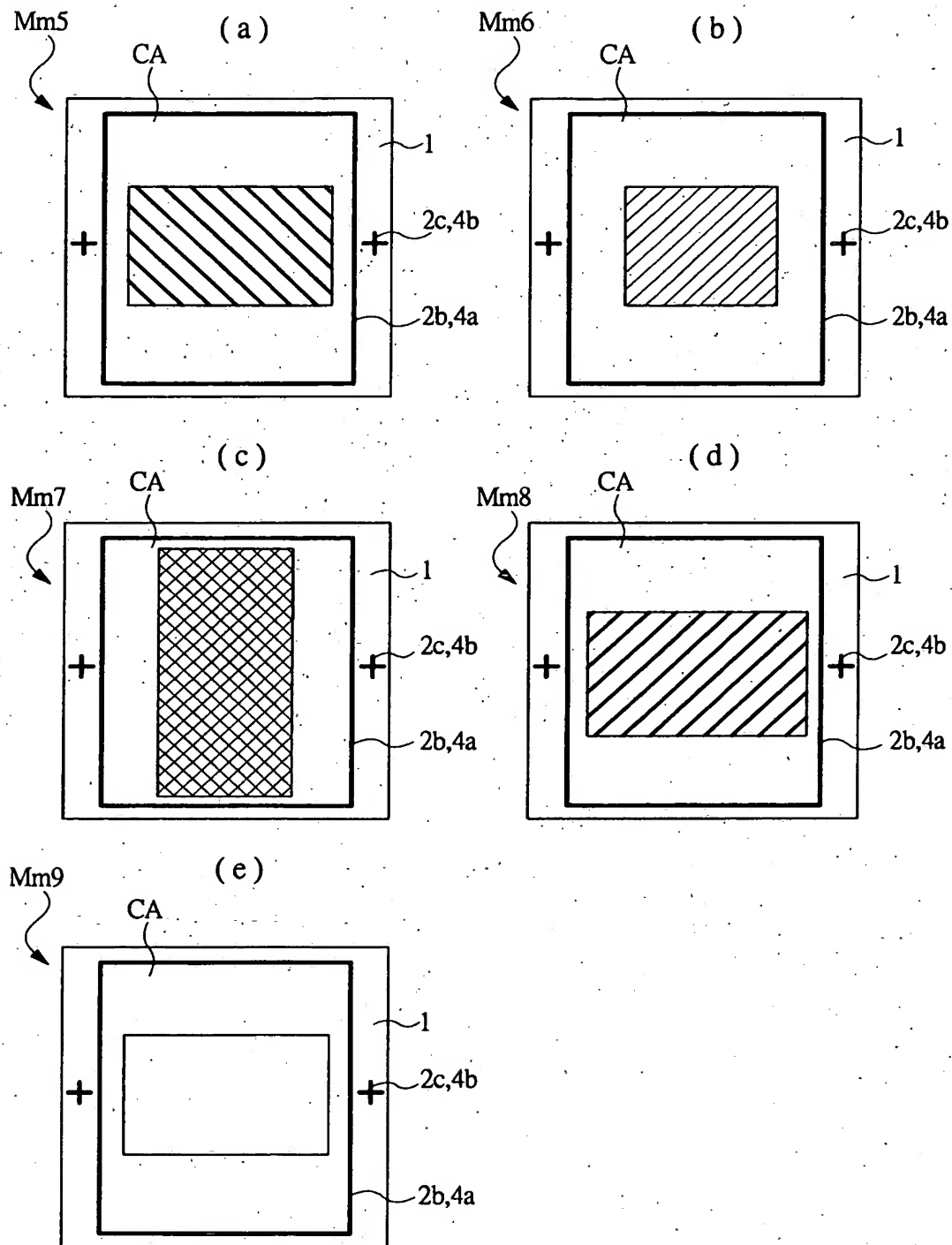
【図 11】

図 11



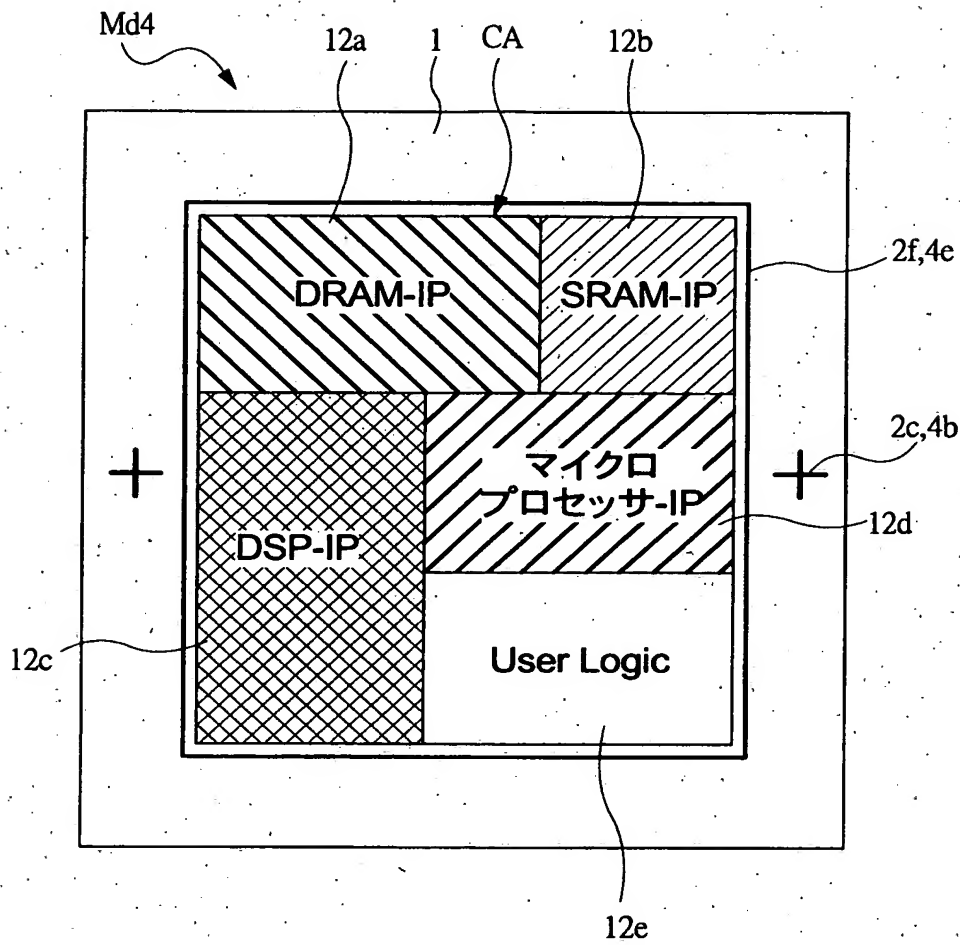
【図 1 2】

図 12



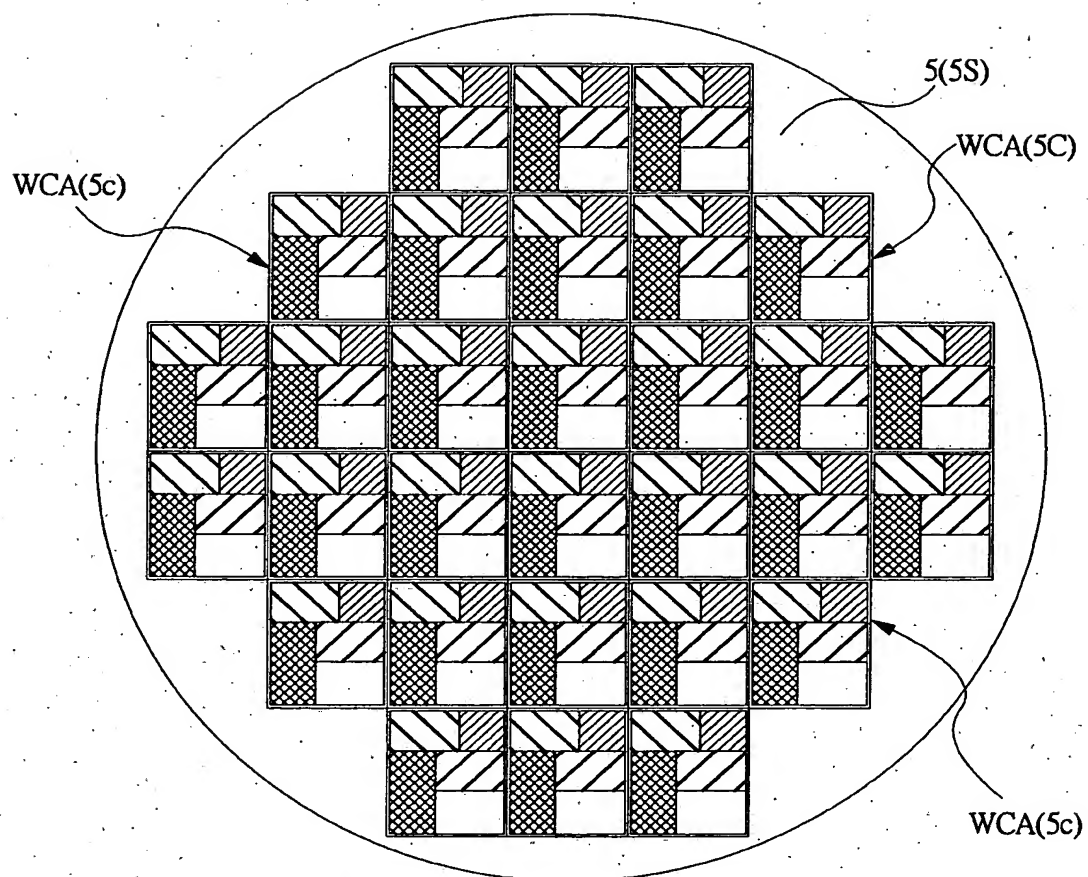
【図 13】

図 13



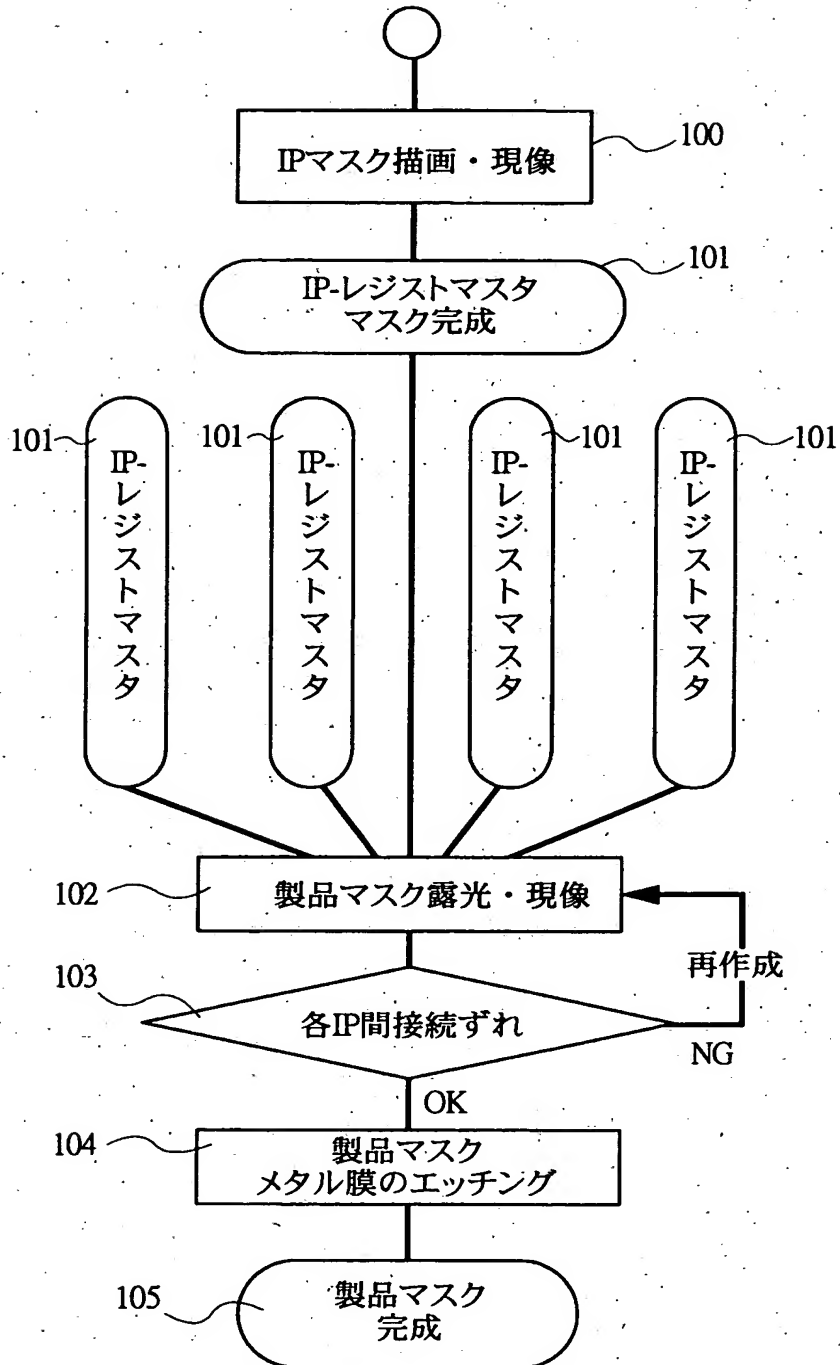
【図 14】

図 14



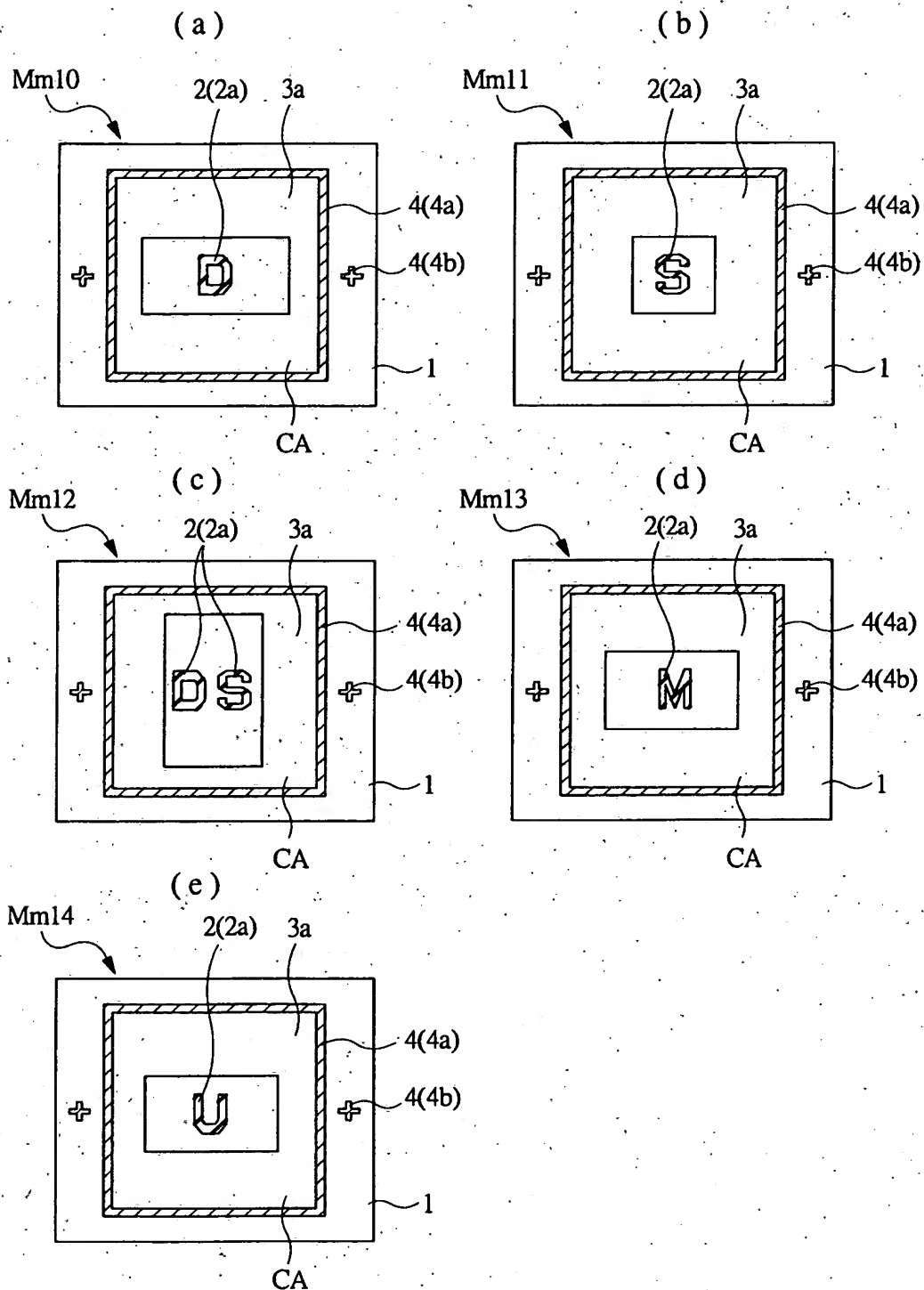
【図15】

図 15



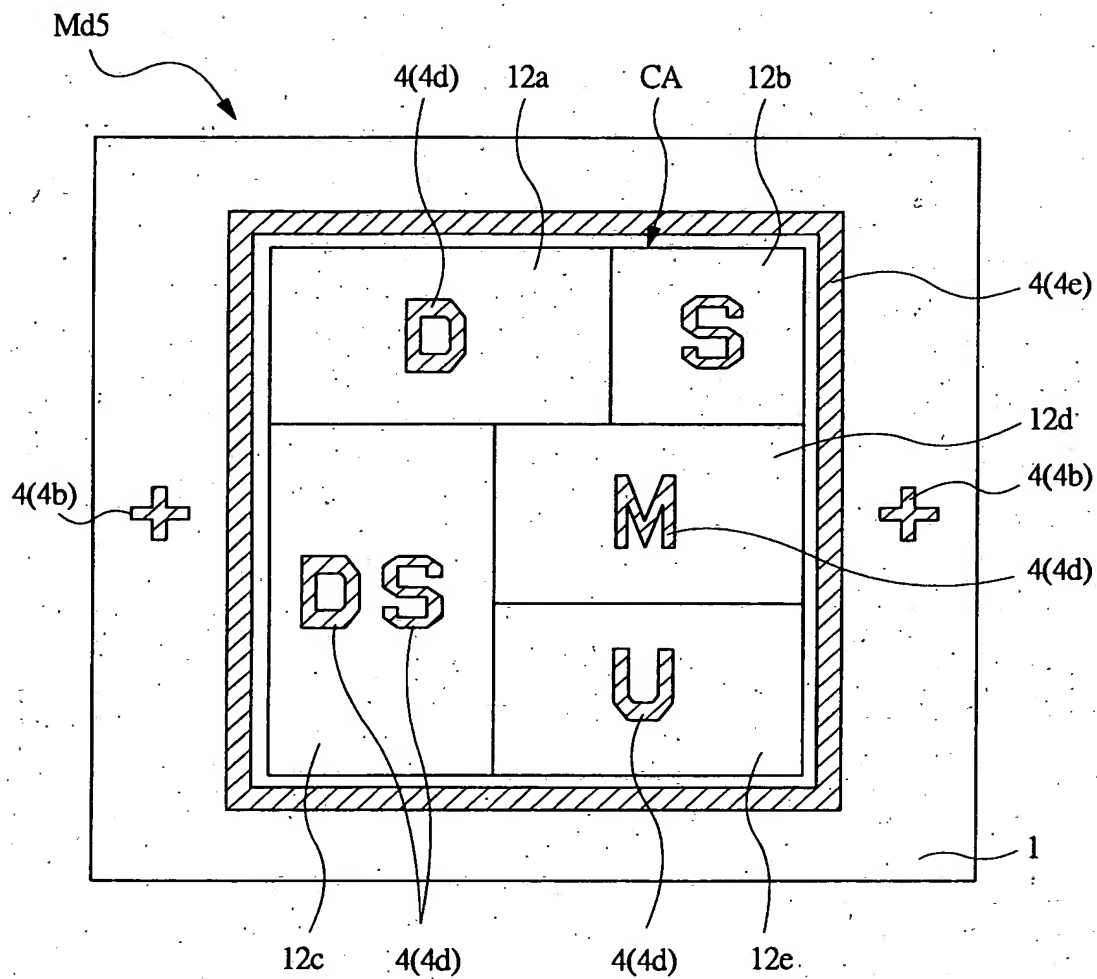
【図 1 6】

図 16



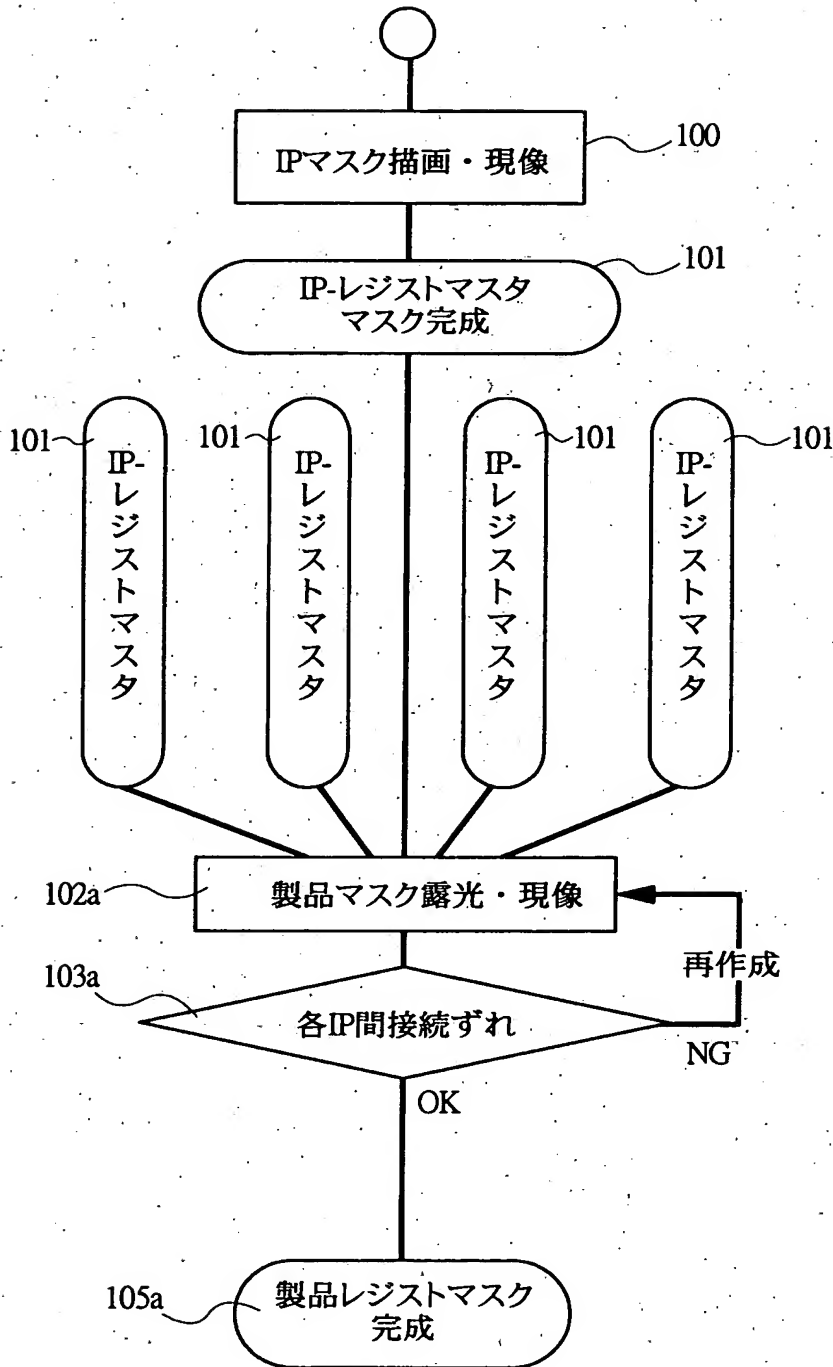
【図 17】

図 17



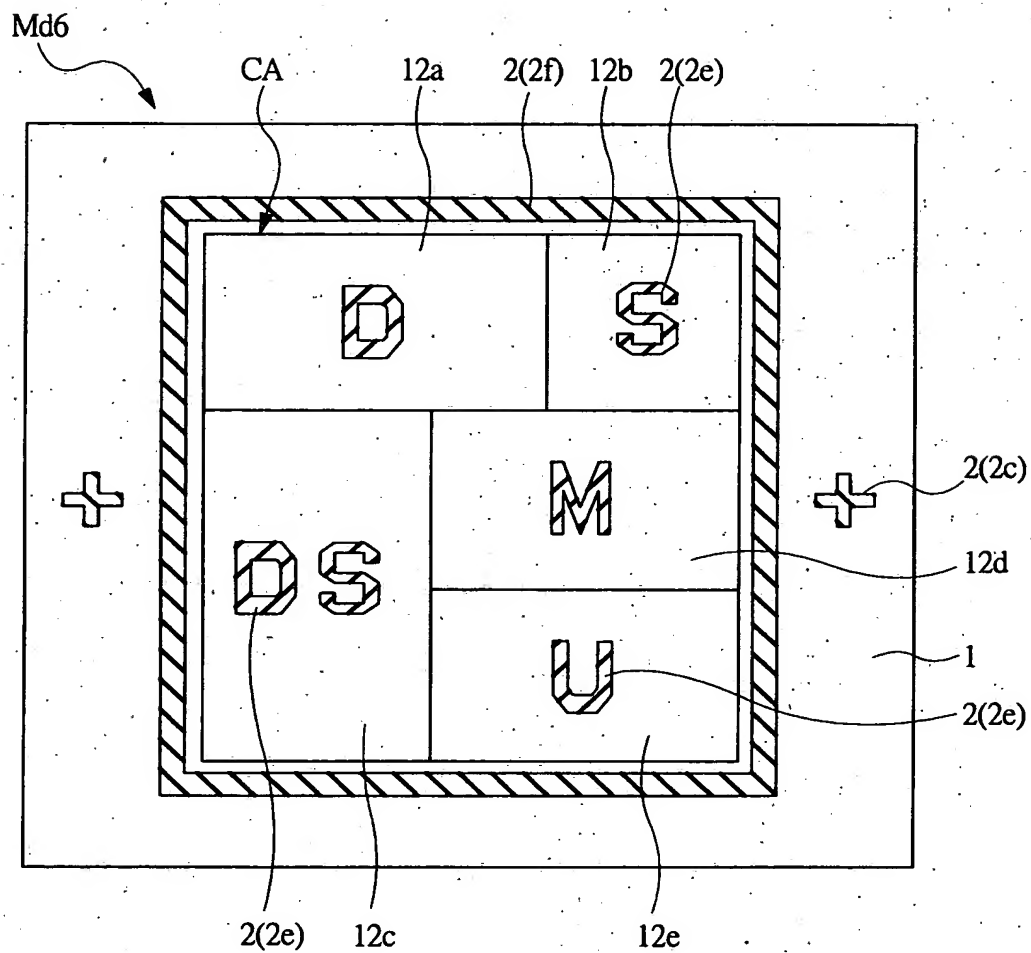
【図 1 8】

図 18

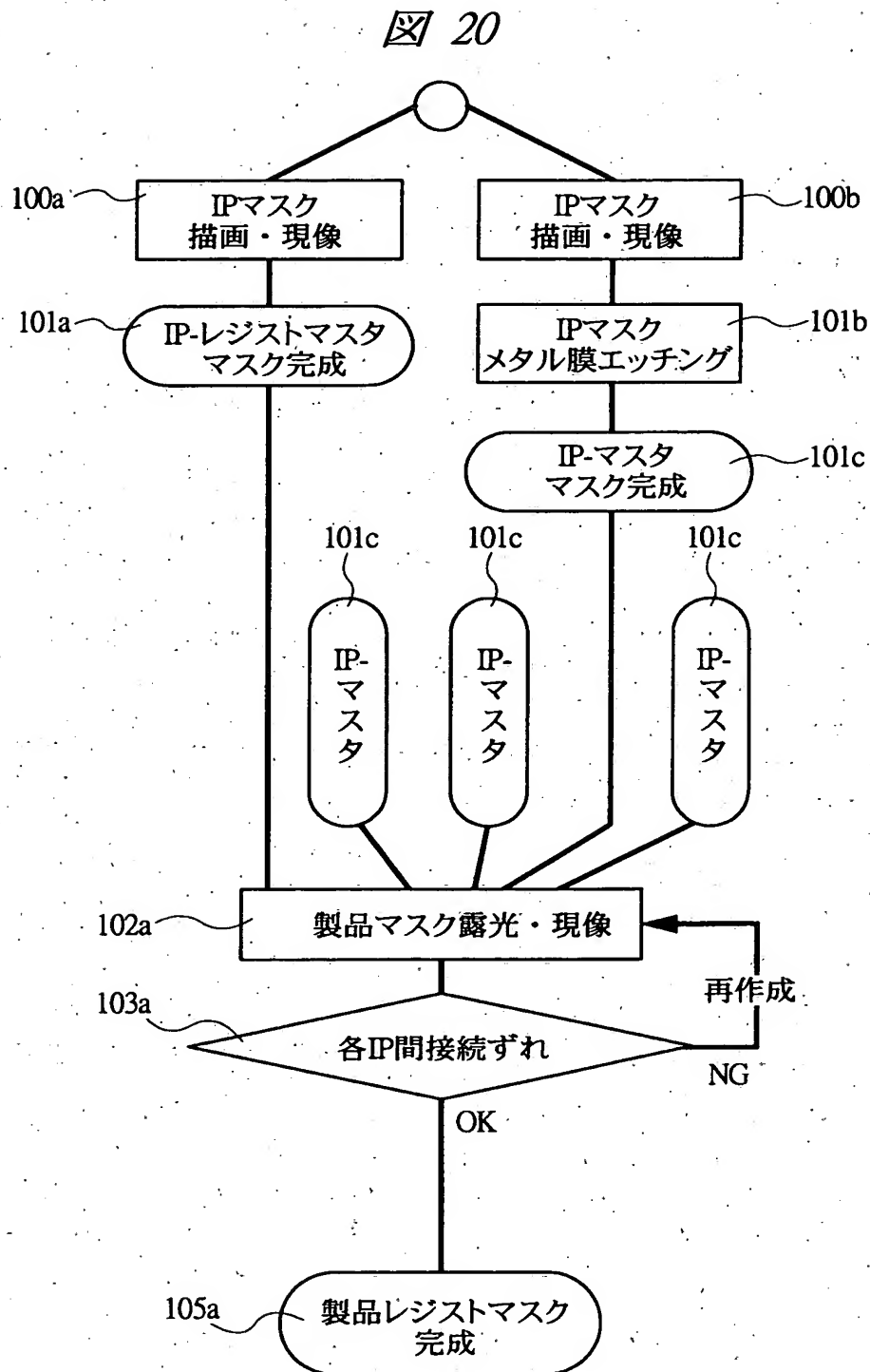


【図 1 9】

図 19

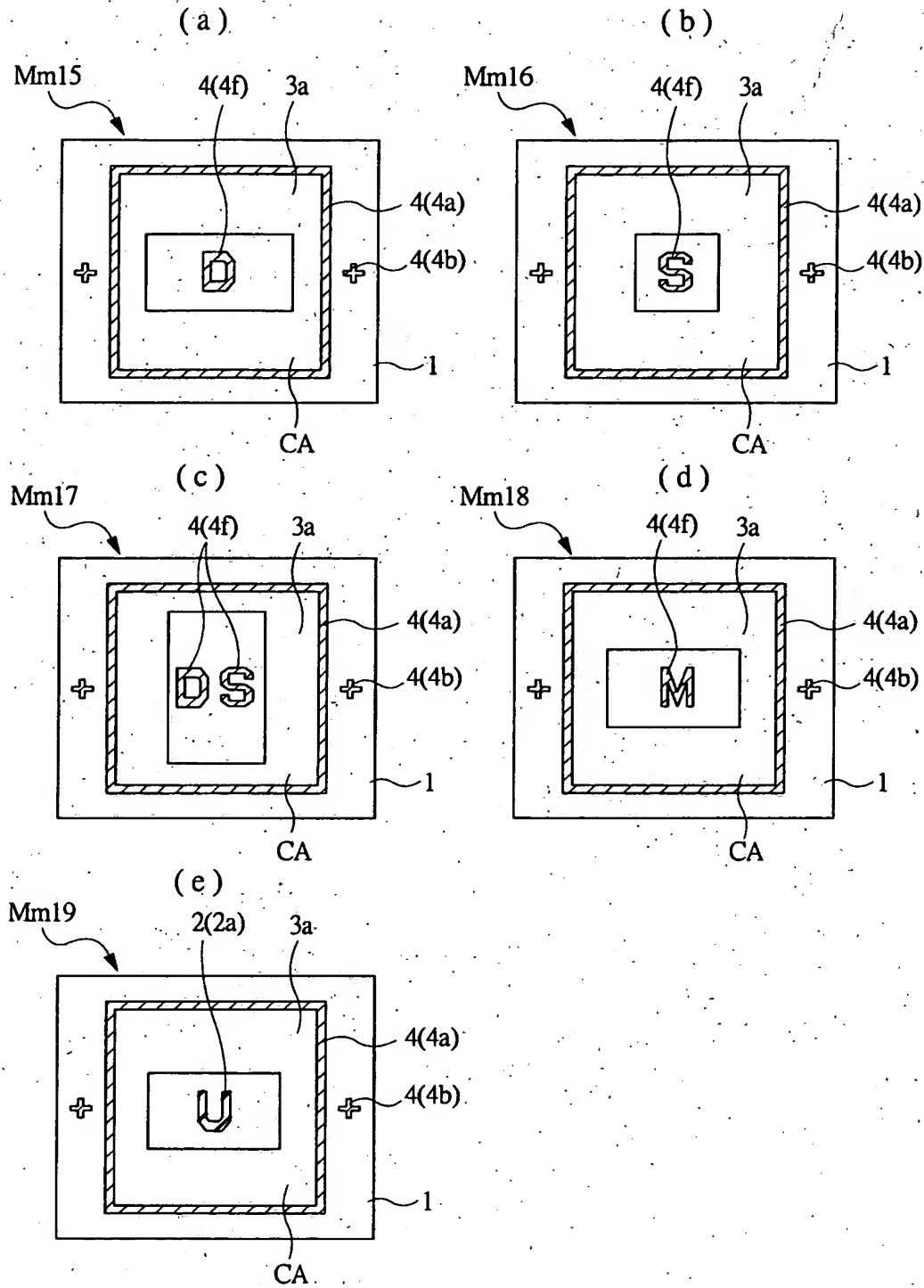


【図 20】



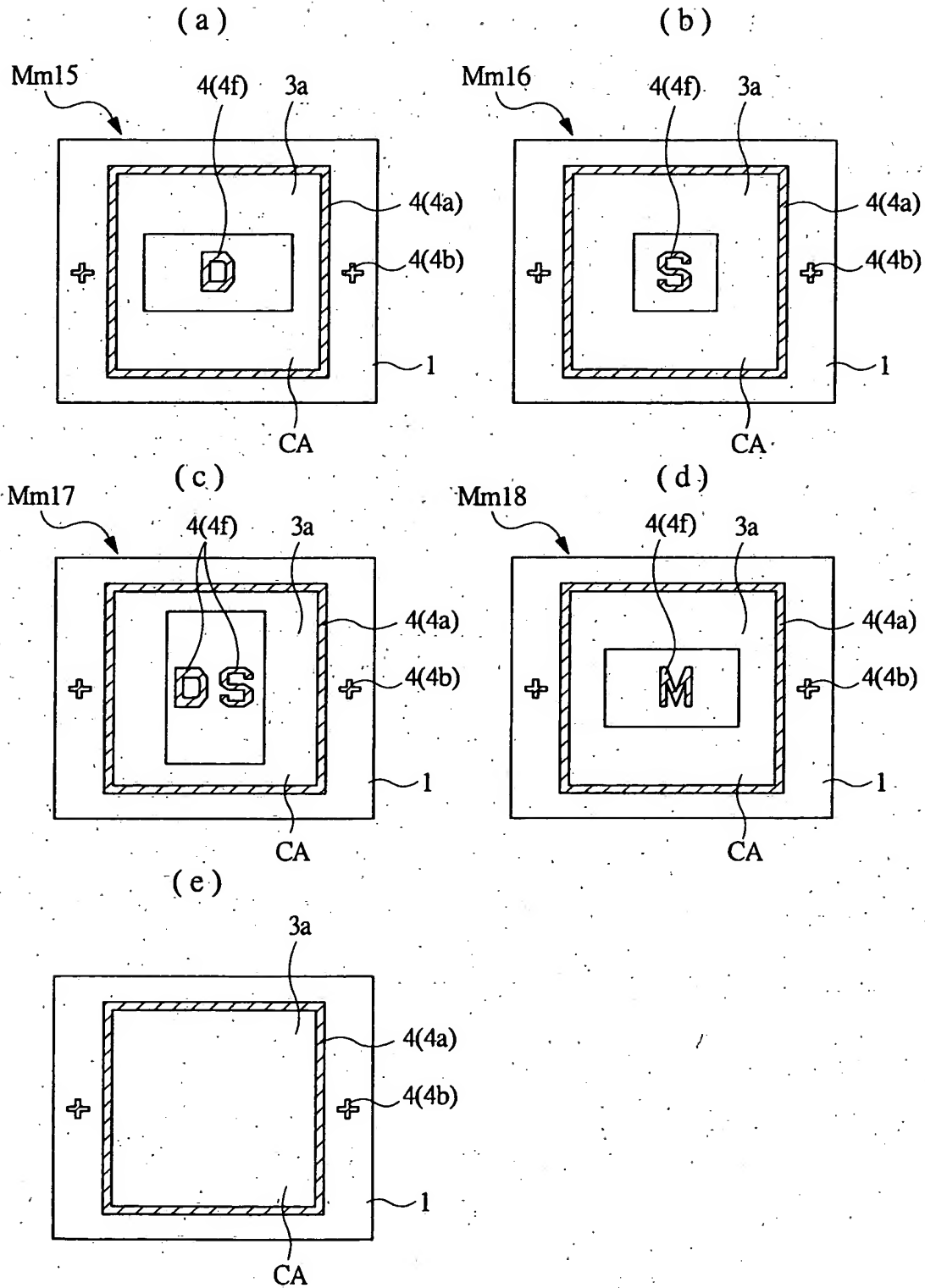
【図 2 1】

図 21



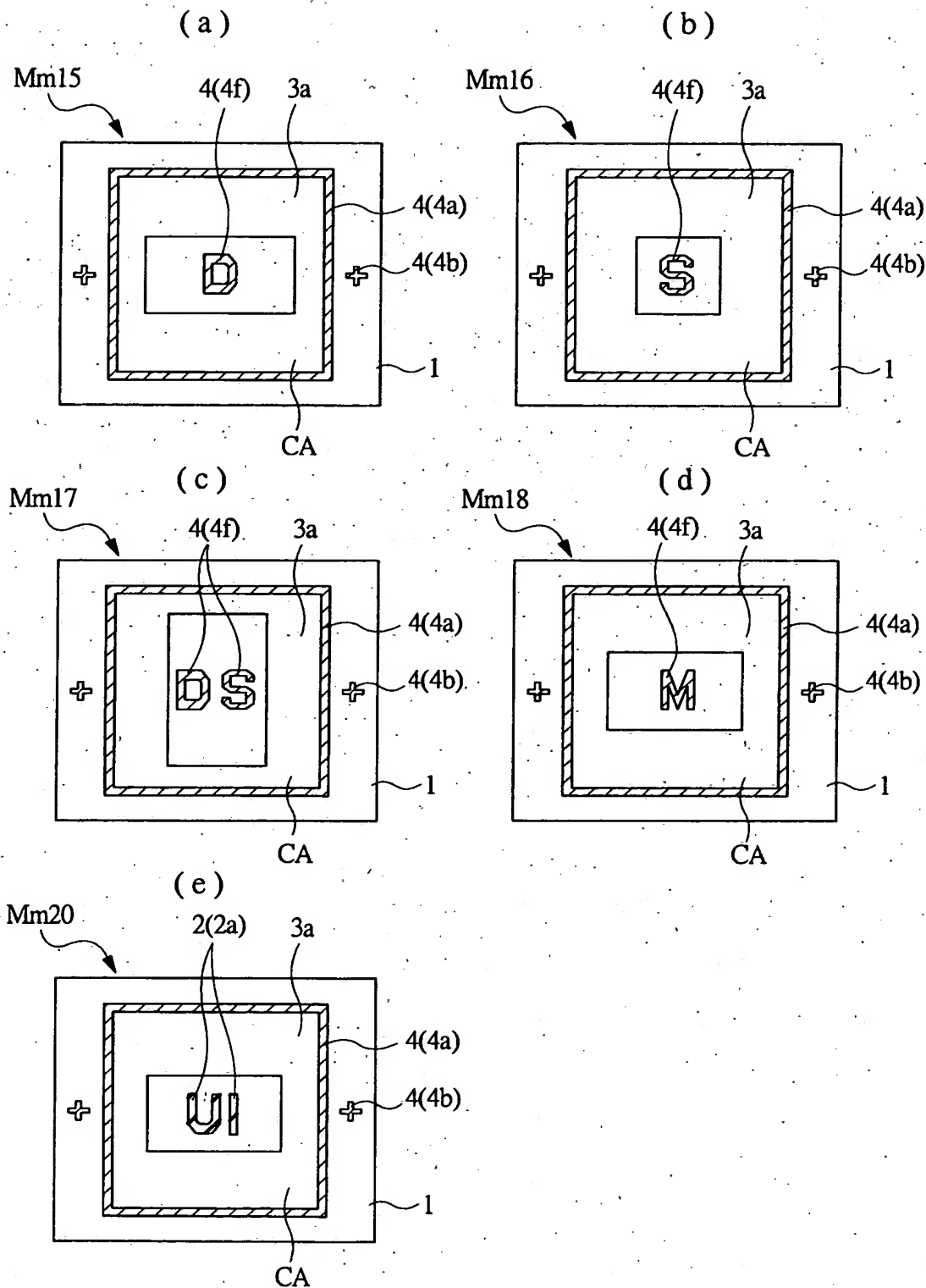
【図 2 2】

図 22



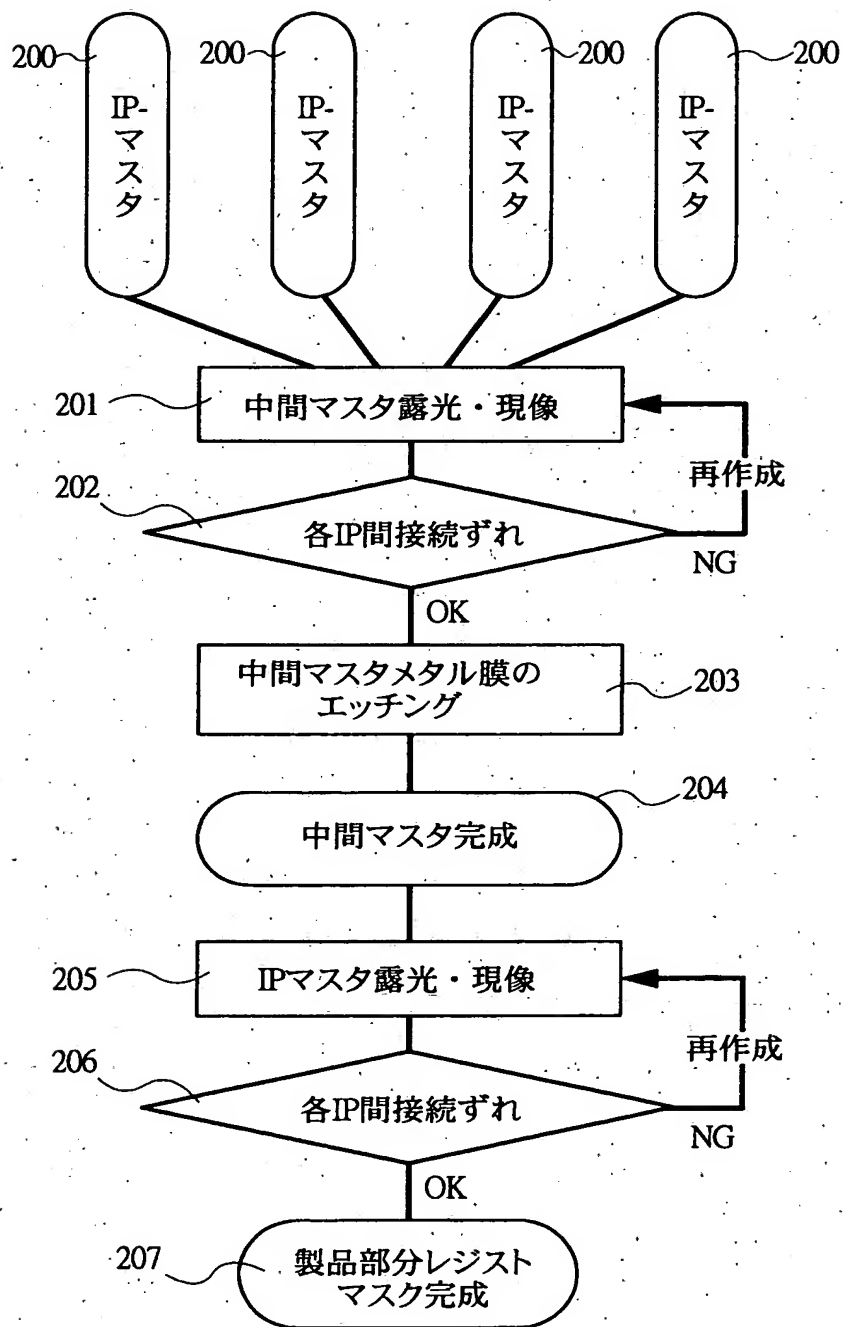
【図 2 3】

図 23



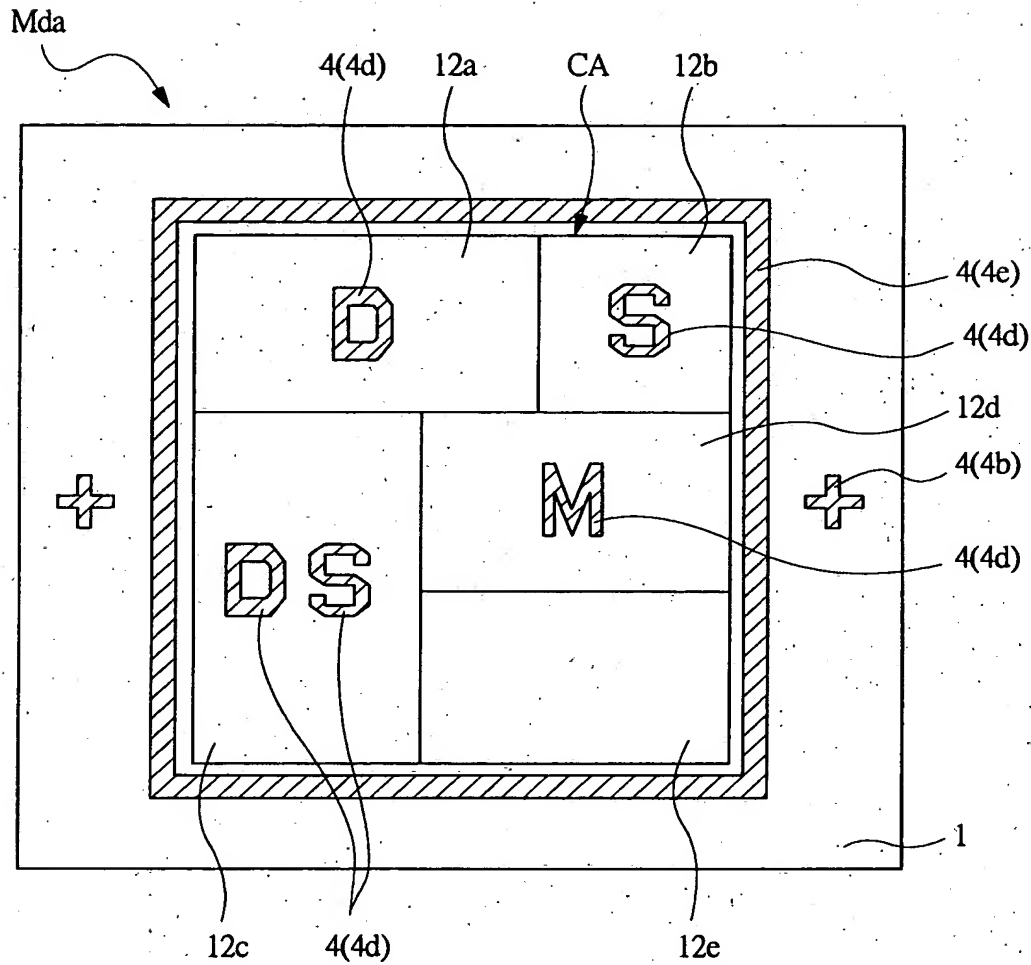
【図 2 4】

図 24



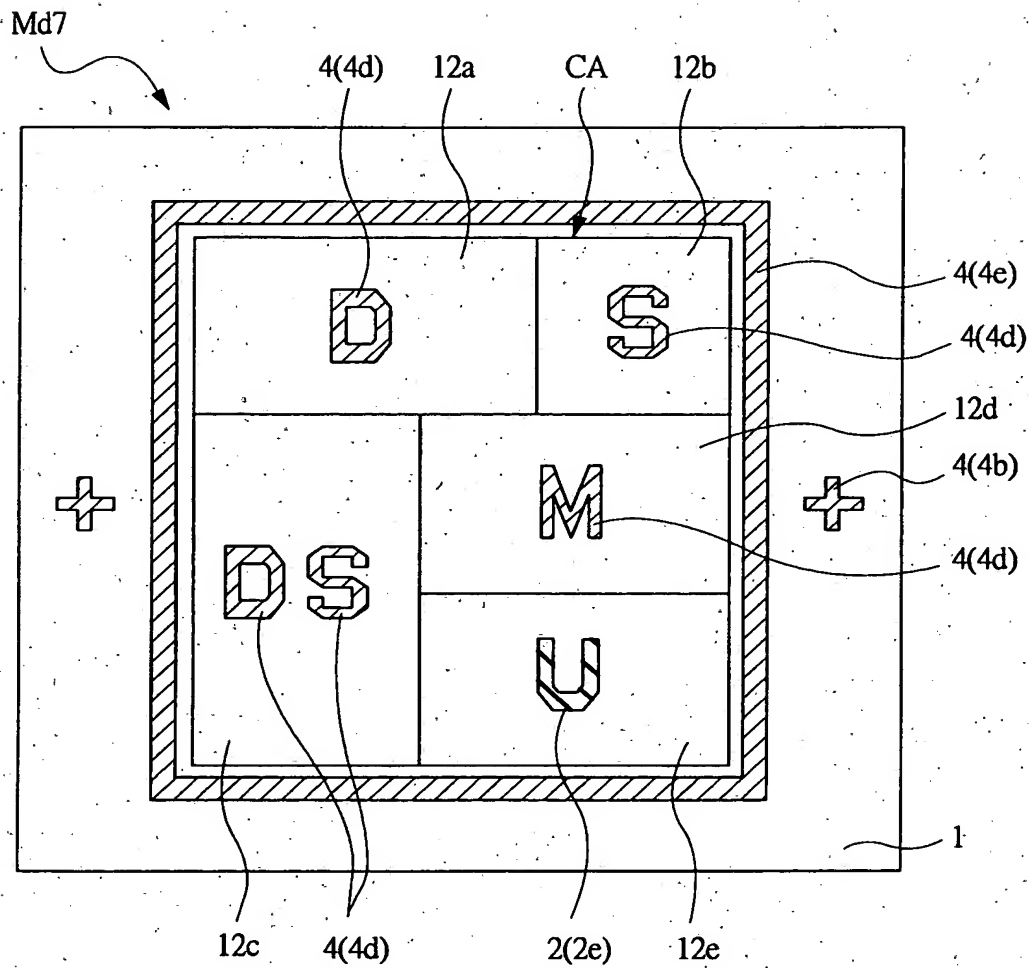
【図 25】

図 25



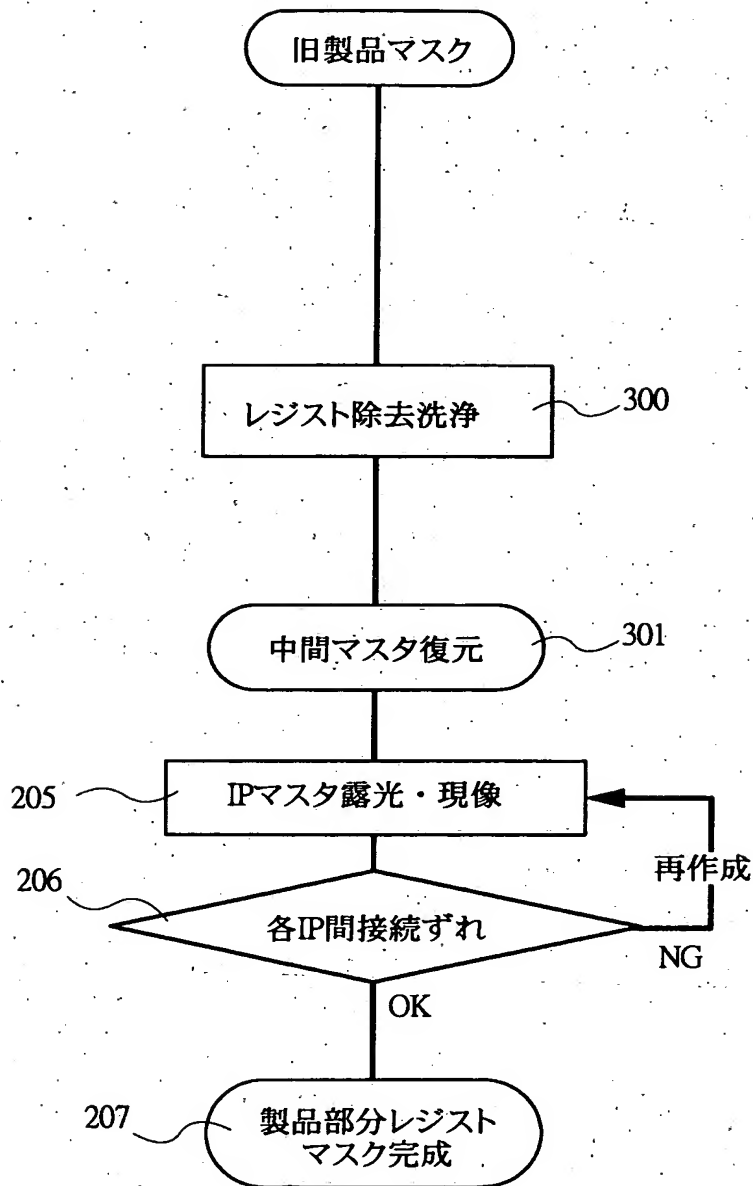
【図 26】

図 26



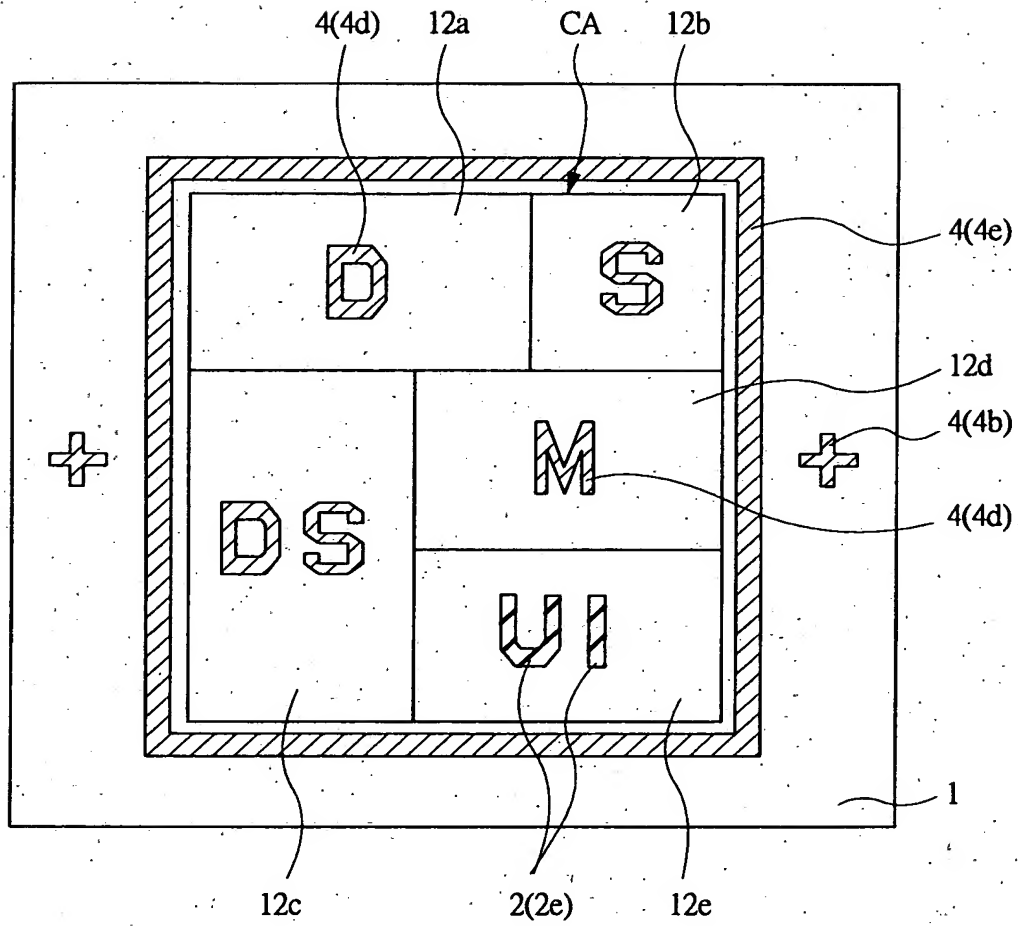
【図 27】

図 27



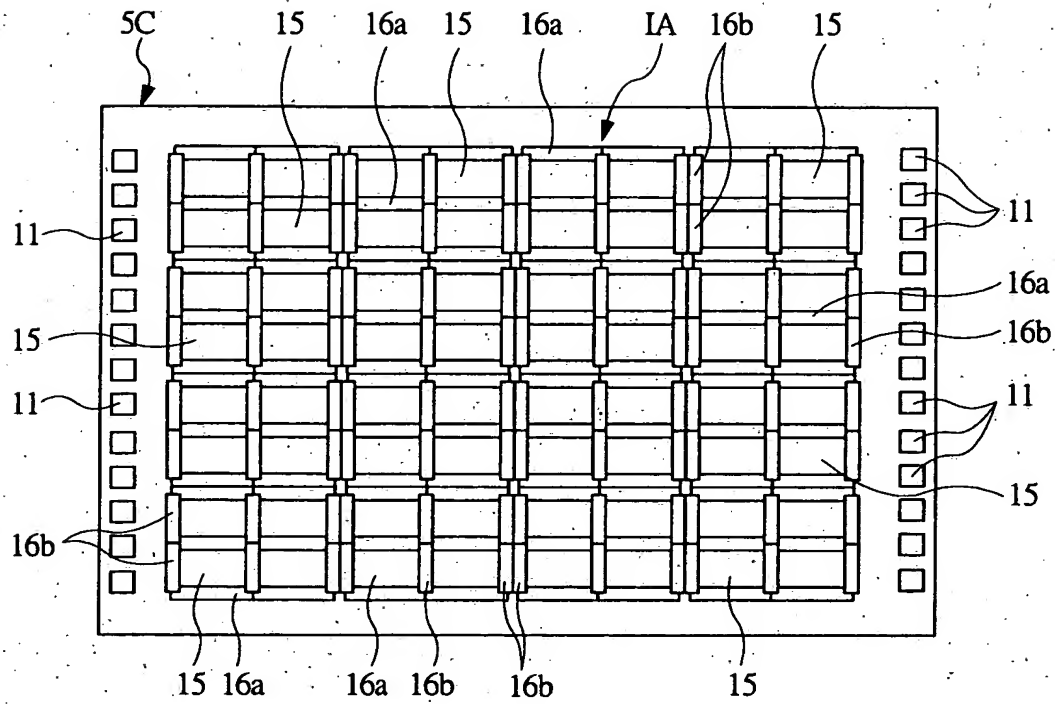
【図 2 8】

図 28



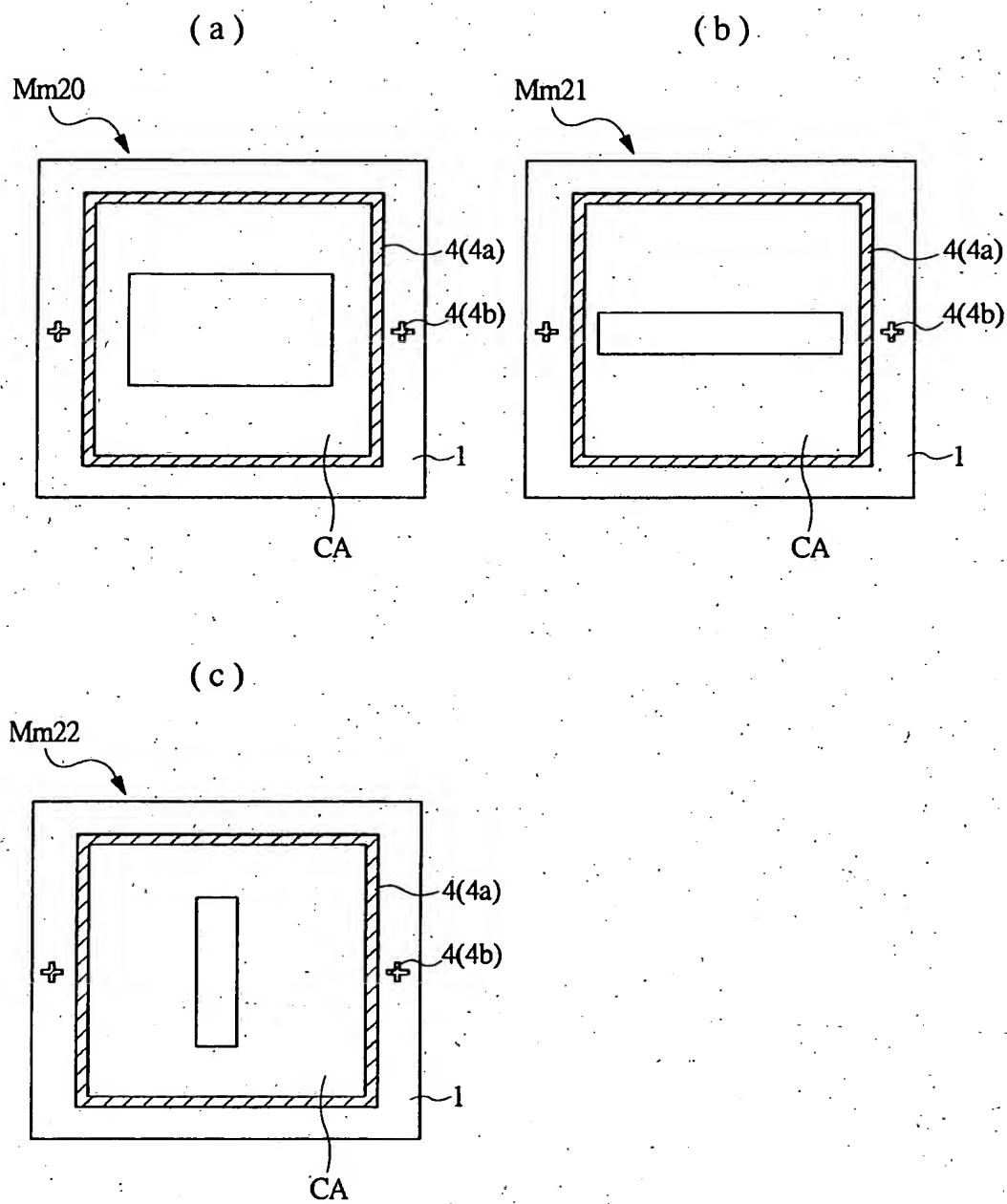
【図 2 9】

図 29



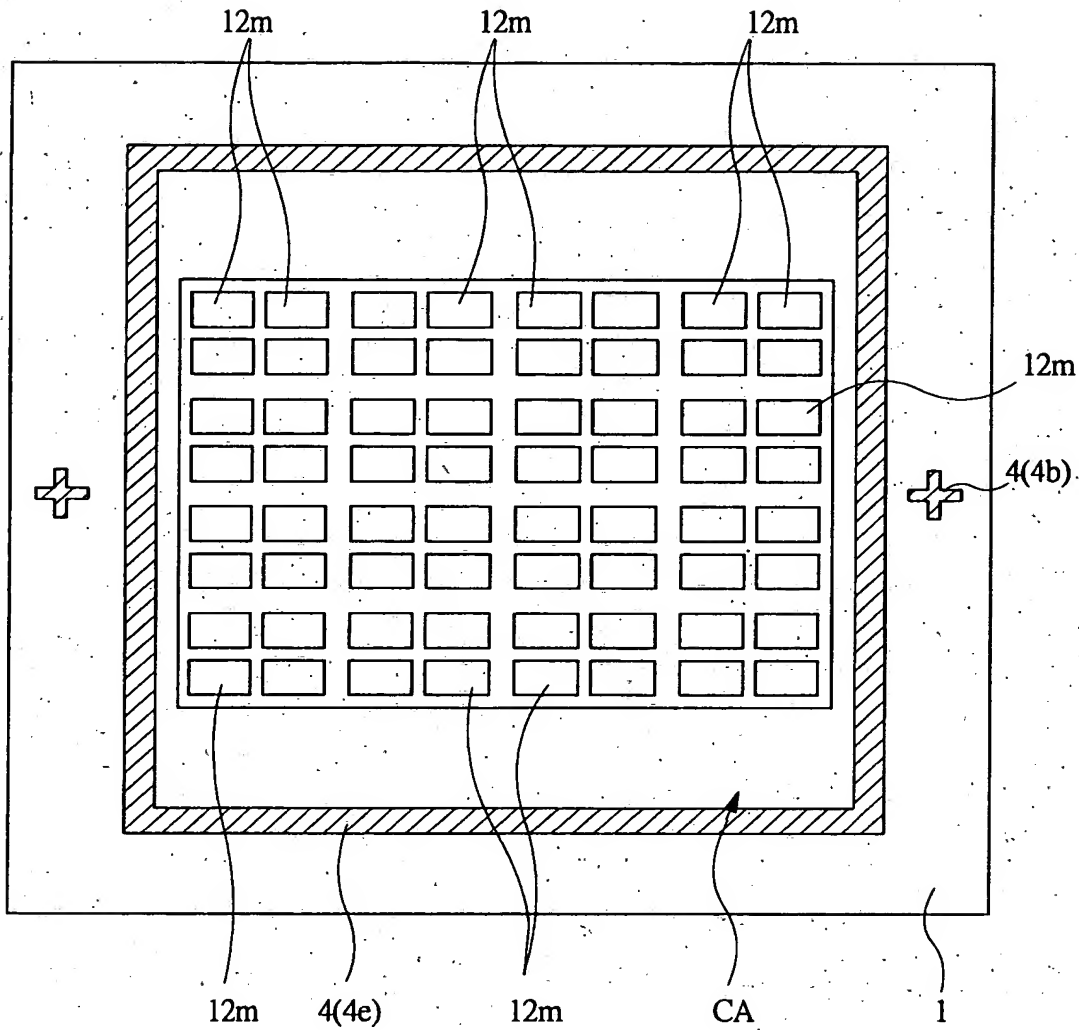
【図 3 0】

図 30



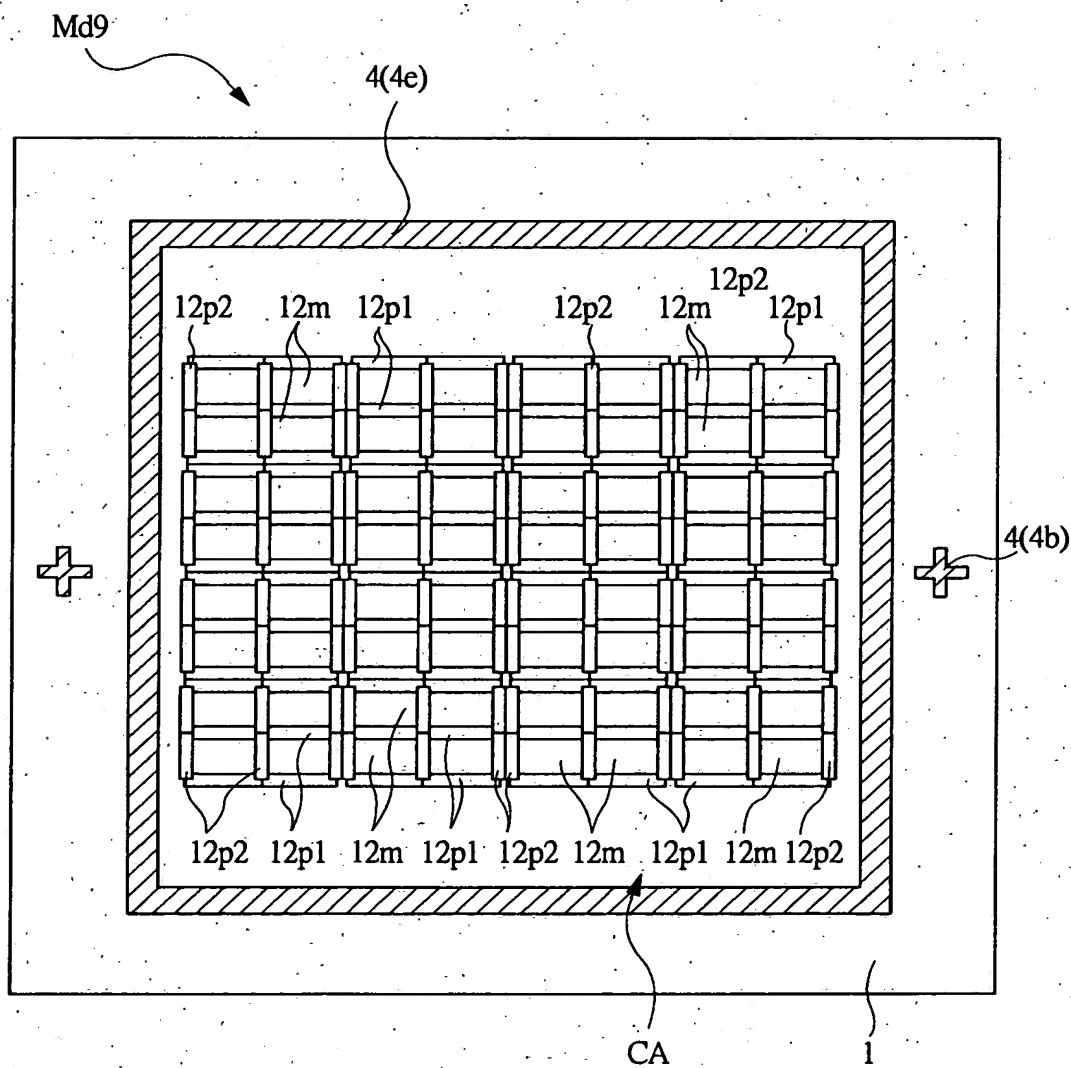
【図 31】

図 31



【図 3 2】

図 32



【書類名】 要約書

【要約】

【課題】 フォトマスクの製造時間を短縮する。

【解決手段】 I PマスクMm1のパターンを縮小投影露光することで製造された製品マスクを用いて半導体ウエハ上に所定のパターンを縮小投影露光する方法において、I PマスクMm1を、その遮光パターン2がレジスト膜等のような有機膜で構成されるレジストマスク構造とした。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所